

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. H01J 17/00	(11) 공개번호 (43) 공개일자	특1999-0062632 1999년07월26일
(21) 출원번호	10-1998-0051573	
(22) 출원일자	1998년11월28일	
(30) 우선권주장	97-329876 1997년12월01일 일본(JP) 98-046728 1998년02월27일 일본(JP)	
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼, 가나이 쓰토무 일본 000-000 일본 도쿄도 치요다구 간다스루가다이 4쵸메 6반치	
(72) 발명자	아키바 유타카 일본 일본 가나가와켄 후지사와시 다카쿠라 936-6	
(74) 대리인	임석재 윤우성	
(77) 심사청구	있음	
(54) 출원명	플라즈마 디스플레이 패널 및 그것을 사용한 화상표시장치	

## 요약

본 발명은 플라즈마 디스플레이 패널의 고휘도화, 고발광효율화를 실현하는 것을 목적으로 한다.

본 발명은, AC형 플라즈마 디스플레이 패널에 있어서, 양광주를 사용한 글로우방전의 유지조건에 착안하여 음극압부의 고전계영역과 양광주의 등전위영역을 효율 좋게 형성하여 하전입자의 격벽확산을 억제하고, 셀고유의 전류전압특성(I ~ V 특성)에 대하여 저전류, 저전압의 영역을 확대시킴으로써, 방전효율을 최대화시켜 패널의 휘도, 발광효율을 향상시킬 수 있다.

또한, DC형 플라즈마 디스플레이 패널의 경우에도 적용할 수 있다.

또, 플라즈마 디스플레이 패널 이외의 글로우방전을 사용하여 양광주를 발생시키는 전자장치에도 적용할 수 있고, 적어도 방전효율(자외선발생 효율)을 향상시킬 수 있다.

또한, 메탈격벽구조를 사용하는 것에 의해 전극간의 방전개시전압을 저감할 수 있다.

또한, 메탈격벽과 전면기관 또는/및 배면기관과의 접촉면적을 저감하고, 또는/및 접촉위치를 각 전극으로부터 떨어뜨리는 것에 의해 부하용량을 감소시켜 소비전력을 저감할 수 있다.

또한, 배면기관의 크로스전극구조를 사용하는 것에 의해 전극간 크로스부에 국부적으로 유전체층을 삽입하여 방전개시전압을 상승시키지 않고 내압향상, 부하용량저감을 실현하는 것이 가능하다.

## 대표도

## 도1

## 명세서

## 도면의 간단한 설명

도 1은 본 발명의 플라즈마 디스플레이 패널의 표시셀 구조를 나타내는 단면도이다.

도 2는 본 발명의 플라즈마 디스플레이 패널의 표시셀 구조를 나타내는 평면도이다.

도 3은 본 발명의 플라즈마 디스플레이 패널의 표시셀 구조를 나타내는 평면도이다.

도 4는 본 발명의 플라즈마 디스플레이 패널의 전극구조를 나타내는 단면도이다.

도 5는 본 발명의 플라즈마 디스플레이 패널의 전극구조를 나타내는 단면도이다.

도 6은 본 발명의 플라즈마 디스플레이 패널의 메탈 격벽구조를 나타내는 사시도이다.

도 7은 본 발명의 플라즈마 디스플레이 패널의 메탈 격벽구조를 나타내는 사시도이다.

도 8은 본 발명의 플라즈마 디스플레이 패널의 격벽과 전극의 조립구조를 나타내는 평면도이다.

도 9는 본 발명의 플라즈마 디스플레이 패널의 격벽과 전극의 조립구조를 나타내는 단면도이다.

도 10은 본 발명의 플라즈마 디스플레이 패널의 격벽과 전극의 조립구조를 나타내는 평면도이다.

도 11은 본 발명의 플라즈마 디스플레이 패널의 격벽과 전극의 조립구조를 나타내는 단면도이다.

도 12는 본 발명의 플라즈마 디스플레이 패널에서 사용하는 구동파형의 타이밍차트도이다.

도 13은 본 발명의 플라즈마 디스플레이 패널의 격벽과 전극의 조립구조를 나타내는 평면도이다.

도 14는 본 발명의 플라즈마 디스플레이 패널의 격벽과 전극의 조립구조를 나타내는 단면도이다.

도 15는 본 발명의 플라즈마 디스플레이 패널의 표시셀 구조를 나타내는 단면도이다.

도 16은 본 발명의 플라즈마 디스플레이 패널의 표시셀 구조를 나타내는 단면도이다.

도 17은 본 발명의 플라즈마 디스플레이 패널의 표시셀 구조를 나타내는 평면도이다.

도 18은 본 발명의 플라즈마 디스플레이 패널의 표시셀 구조를 나타내는 평면도이다.

도 19는 본 발명의 플라즈마 디스플레이 패널의 표시셀 구조를 나타내는 평면도이다.

도 20은 본 발명의 플라즈마 디스플레이 패널의 표시셀 내부의 전위분포도이다.

도 21은 본 발명의 플라즈마 디스플레이 패널의 표시셀 내부의 전위분포도이다.

도 22는 본 발명의 플라즈마 디스플레이 패널의 표시셀 내부의 전위분포도이다.

도 23은 플라즈마 디스플레이 패널의 표시셀 내부의 전위분포도이다.

도 24는 본 발명의 플라즈마 디스플레이 패널에서 사용하는 구동파형의 타이밍차트도이다.

도 25는 본 발명의 플라즈마 디스플레이 패널의 특성도이다.

도 26은 플라즈마 디스플레이 패널의 표시셀 구조를 나타내는 단면도이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 정보처리단말이나 평면형, 벽걸이 텔레비전 등에 사용되는 플라즈마 디스플레이 패널이나 그것을 사용한 화상표시장치에 관한 것이다.

플라즈마 디스플레이 등의 가스방전형 표시장치는 자기발광에 의해 표시를 행하기 때문에, 시야각이 넓고 표시를 보기 쉽다. 또한, 박형(薄型)으로 제작할 수 있다거나 대화면을 실현할 수 있는 등의 특징을 가지고 있어 정보단말기기의 표시장치나 고품위 텔레비전 수상기 등의 응용이 시작되고 있다. 플라즈마 디스플레이는 직류구동형과 교류구동형으로 대별된다. 이 중, 교류구동형 플라즈마 디스플레이는 전극을 덮고 있는 유전체층의 메모리작용에 의해 휘도가 높고, 보호층의 형성 등에 의해 실용적으로 사용 가능한 수명이 얻어지도록 되었다. 그 결과, 플라즈마 디스플레이는 다용도의 비디오 모니터로서 실용화되어 있다.

교류구동형 플라즈마 디스플레이는 크게 전면(前面)기관, 배면기관, 전면기관과 배면기관과의 사이에 격벽(隔壁)에 의해 구획된 화소로 이루어지는 다수의 셀을 구비한 방전공간영역으로 구성되어 있다. 전면기관에는 1쌍의 표시전극이 복수 형성되고, 배면기관에는 이 표시전극과 거의 직교하도록 어드레스전극이 복수 형성되어 있다. 그리고, 어드레스전극과 표시전극 사이에 펄스전압을 인가함으로써, 전면기관, 배면기관 및 격벽에 의해 형성되는 각 셀내에 보조방전을 발생시키고, 이 보조방전을 이용하여 전면기관의 각 셀에 대하여 형성되어 있는 1쌍의 표시전극 사이에 인가된 펄스전압에 의한 주방전을 발생시키고, 이 주방전에 의해 발생하는 자외선에 의해 형광체를 발광시켜 이 형광체로부터의 광을 전면기관을 투과시켜 표시발광동작을 행하고 있다.

이와 같이 종래의 교류구동형 플라즈마 디스플레이에서는 1쌍의 표시전극에서의 면방전(面放電)에 의해 표시발광동작을 행하고 있다. 이것에 대해서는 특개평 5-190099호 공보 등에 기재되어 있다.

그러나, 상기 종래 기술에서는 가시광을 취출하는 전면기관에 불투명한 전극(버스전극)이 형성되고, 또 오방전을 방지하기 위해 인접하는 표시전극 사이에 소정의 갭이 형성되어 있으므로, 표시에 기여하지 않는 영역이 다수 존재하고, 표시셀의 개구율 향상의 장애로 되고 있었다. 즉, 휘도를 향상시키는데 문제가 있었다.

또한, 상기 종래 기술에서는 격벽의 높이방향의 방전영역이 표시전극근방에 한정되기 때문에, 격벽에 도포된 형광체 전체를 발광시키도록 하면, 형성하는 격벽의 높이가 제한되어 형광체도포면적을 증가시켜 휘도를 향상시키는데는 일정한 한계가 있었다. 일반적으로 종래의 표시셀 사이즈에 대한 격벽높이의 에스펙트비는 1보다 대폭으로 하회(下回)하고 있다.

또한, 상기 종래 기술에서는 표시전극 사이의 면방전을 이용하기 때문에, 방전전류가 흐르는데 따라서 벽전하가 양전극 선단부로부터 역바이어스로 형성되고, 표시전극 사이의 전계강도(E)는 감소해 간다. 이 때문에, 방전전류를 일정하게 유지하는 것이 곤란하고, 방전효율을 향상시키는데 문제가 있었다.

이상과 같이, 종래의 AC형 플라즈마 디스플레이 패널에서는 그 구조나 동작원리 때문에 패널의 휘도나 방전효율을 향상시키는데 문제가 있고, 패널의 발광효율을 향상시키는데는 일정한 한계가 있었다.

또한, 상기 종래 기술에서는 표시전극이 전면기판상에 형성되기 때문에 셀사이의 제약 등으로부터 표시전극 사이의 갭을 크게 할 수 없었다. 이 때문에 표시전극 사이에서 발생하는 글로우방전(플라즈마)의 방전모드는 음극로우로 제약되어 그 방전효율의 향상에 일정한 한계가 있었다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 제1 목적은 패널의 발광효율을 향상시킨 완전히 신규한 AC형 플라즈마 디스플레이 패널을 제공하는 것이다.

본 발명의 제2 목적은 양광주(陽光柱)를 형성하여 방전효율을 향상시킨 AC형 플라즈마 디스플레이 패널을 제공하는 것이다.

본 발명의 제3 목적은 플라즈마 디스플레이 패널에서의 방전효율을 향상시키는 것이다.

#### 발명의 구성 및 작용

현재, 우리는 이들 문제를 해결하는 구조로서 양광주를 형성한 글로우방전을 사용한 AC형 플라즈마 디스플레이 패널에 대하여 연구 개발하고 있다.

도 26은 그 플라즈마 디스플레이 패널(1)의 구조이다. 이것은 구동회로계에 접속되는 전극을 가지는 전면기판(3)과 배면기판(4), 및 그들 사이에 끼워지는 측면을 형광체(21)로 도포한 격벽(5)에 의해 주위를 둘러싼 복수개의 표시셀(2)을 형성하고, 상기 전면기판(3)에 하나의 평면전극을 상기 복수개의 표시셀(2)의 공통표시전극(10)으로서 형성하고, 상기 배면기판(4)에 복수의 라인모양전극으로 이루어지는 표시전극군(17)과 트리거전극군(15)을 서로 교차시켜 상기 표시셀(2)과 교차부를 대응시켜 형성된 대향표시전극형 구조로 된 것이다. 이 구조라면 종래 곤란했던 양광주의 형성이 가능하게 되고, 또한, 구조상 표시셀(2)의 개구율과 형광체도포면적을 대폭으로 증가시키는 것도 가능함과 같이, 종래 구조에 비해 고발광효율화와 고휘도화를 동시에 실현할 수 있다. 또한, 격벽(5)은 유전체재료로 구성하고 있다.

그러나, 이와 같은 플라즈마 디스플레이 패널에 있어서 격벽(5)을 유전체재료로 구성하면 양광주형성시의 격벽(5)으로의 하전입자의 확산이 방전효율의 저하로 이어지는 것이 우리의 연구에 의해 밝혀졌다.

도 22는 도 26에 나타난 구조에서의 표시셀(2)의 중심축(Z축)방향(50)의 전위분포방향(Vi)이다. 이것은 쌍으로 되는 표시전극(X전극, Y전극)에 있어서, 한쪽을 애노드전극, 다른쪽을 캐소드전극으로 하고, 각각에 표시필스전압(VA(0볼트), VK(음의 전압(Vsus)))을 인가한 경우의 전위분포상태이고, 발광방전전의 유전체격벽의 전위(Vd)와, 발광방전직후의 유전체격벽의 전위(Vw) 및 그 셀공간내의 플라즈마전위(Vp)의 전위분포상태이다.

도면에서 알 수 있는 바와 같이, 발광방전전의 유전체격벽의 전위(Vd055)는 0볼트의 애노드전위(VA56)에서 음의 표시필스전압(Vsus57)으로 설정한 캐소드전위(VK58)로 거의 직선적으로 변화된 상태로 된다. 이 상태에서 발광방전이 행해지면, 전자가 유전체격벽으로 확산하여 부착하기 때문에, 발광방전후의 유전체격벽의 전위(Vd055)는 유전체격벽의 표면전위(Vw60)로 저하한다. 이것은 발광방전시에서 유전체격벽의 표면이 거의 일정한 전위분포로 되도록 유전체격벽의 표면으로 하전입자가 확산, 부착하여 음의 벽전압(Vq61)을 형성하기 때문이다. 이 유전체격벽 표면에서의 음의 벽전압(Vq61)의 형성이 과도한 에너지손실로 되고, 그 방전효율을 저하시키는 요인중 하나로 되고 있다.

한편, 이 때 발생하는 플라즈마와 유전체격벽의 사이에는 도 23에 나타난 바와 같이 소위 이온 쉬스(sheath)가 쉬스의 두께(δ)(63)를 가지도록 형성되어 있고, 이 플라즈마전위(Vp59)와 유전체격벽의 표면전위(Vw60)의 사이에는 전자온도(Te)에 비례하는 부유전위(Vf(Vfmax))(62)가 발생한다.

이 부유전위(Vf(Vfmax))(62)는, 양광주가 형성되는 영역(Z축방향)에서는 전자온도(Te)가 거의 동일하게 되므로 일정한 값을 갖는다. 그러나, 하전입자의 격벽확산 등에 의해 전리에너지가 부족하여 전자밀도(ne)가 감소하면, 새롭게 도입한 관계식인 식(1)에 의해 부유전위(Vf(Vfmax))(62)를 충분히 발생시킬 수 없게 된다. 또는 부유전위(Vf(Vfmax))(62)를 유지하기 위해 이온쉬스의 두께(δ)(63)를 증가시킨다.

$$Vf \propto ne \cdot \delta^2 \quad \dots (1)$$

이 이온쉬스의 두께(δ)(63)가 증가하여 관반경(r54), 또는 직사각형 형상의 셀에서는 최소 셀 사이를 초과하게 되면 도 23에 나타난 바와 같이 플라즈마의 반경(rp)(64)이 감소하여 플라즈마가 일어나기 어렵게 되고, 글로우방전을 안정하게 유지할 수 없게 된다. 이 경우, 글로우방전을 안정하게 유지하는 데는 방전유지전류(I(전류밀도(J))를 증가시켜 전리 에너지를 대폭으로 증가시켜 부유전위(Vf')(66)나 전자밀도(ne)를 증가시키고, 또는 이온쉬스의 두께(δ')(67)를 감소시켜 안정한 플라즈마전위(Vp')(65)를 형성하지 않으면 안된다. 이 때문에, 유전체격벽을 사용한 경우는 글로우방전에서 양광주를 형성하더라도 방전유지전류가 증가하기 때문에 방전효율의 향상에 한계가 있고, 발광효율(η)은 대폭으로 저하하고 있다.

본 발명은 상기 제1 목적을 달성하기 위해, 복수개의 어드레스전극과 상기 어드레스전극과 교차하도록 배치된 복수개의 제1 표시전극을 가지는 배면기판과, 상기 복수개의 제1 표시전극에 대향하여 배치된 복수개의 제2 표시전극을 가지는 전면기판을 적어도 구비하고, 상기 제2 표시전극과, 상기 어드레스전극을 사용하여 어드레스된 상기 제1 표시전극과의 사이에서 방전시키도록 한 것이다.

이와 같이 표시전극구조를 대향전극구조로 함으로써, 제1, 제2 표시전극간의 갭길이를 표시전극면내에서 거의 일정하게 하는 것이 가능하게 되었다. 또 쌍으로 되는 표시전극을 전면기판과 배면기판에 개별로 형성하여 각각의 전극면적을 넓게 하는 것도 가능하게 되므로 안정된 방전현상을 발생시킬 수 있다. 즉, 벽전하가 양표시전극간에 형성되어도 표시전극면내의 갭길이가 일정하기 때문에, 안정된 일정한 방전전류를 보존(전류밀도 일정)할 수 있고, 또 전극면적을 넓게 형성할 수 있으므로 발광 듀티를 올릴 수 있어 충분한 발광효율이 얻어지게 되었다.

또한, 이와 같이 표시전극구조를 대향전극구조로 함으로써, 투명전극과 불투명전극(버스전극)으로 형성되는 제2 표시전극의 배선저항은 상기 한 바와 같이 각 전극폭이 평면적으로 넓게 되므로 그 저저항화를 용이하게 실현할 수 있다. 마찬가지로, 배면기판에는 제1 표시전극만을 형성하면 되므로 종래의 면방전형에서의 제1 표시전극보다 전극폭을 넓게 가지고, 전극의 배선저항을 대폭으로 저감시킬 수 있다. 이와 같이 배선저항의 대폭적인 저감을 실현하는 것에 의해, 패널의 저소비전력화를 실현하고, 발광효율을 향상시킬 수 있었다. 또한, 표시전극에 발생하는 구동시의 전압강하분을 대폭을 저감할 수 있기 때문에, 동작마진도 증가시킬 수 있었다.

또한, 이와 같이 표시전극구조를 대향전극구조로 함으로써, 고에너지의 격벽을 사용하는 것이 가능하게 되고, 형광체를 도포하는 격벽면적이 대폭으로 증가하고, 가시광의 추출효율을 증가시킬 수 있었다. 즉, 패널의 방전효율을 향상시킬 수 있었다.

또한, 상기 구조에 있어서, 복수개의 제1 표시전극을 각 전극에 고유로 되는 고유전극(Y전극)으로 하고, 복수개의 제2 표시전극을 각각에 공통의 공통전극(X전극)으로 하면, 그 제2 표시전극을 표시에 기여하는 패널전면을 덮도록 한 일매의 평면전극으로 형성하는 것이 가능하게 되었다. 이와 같이 패널 전면(全面)을 덮으면 제2 표시전극이 저저항화 될 뿐만 아니라 종래와 같은 표시전극패턴의 투명전극을 형성하기 위한 고정밀도의 에칭프로세스를 불필요하게 할 수 있었다.

한편, 이와 같이 제2 표시전극을 평면전극으로 하면, 전하가 다른 표시셀로 이동하기 쉽게 되지만, 격벽을 표시셀을 둘러싸도록 격자모양으로 형성하는 것으로 그 전하의 이동을 억제할 수 있고 다른 표시셀에서의 오방전을 방지하는 것이 가능하게 되었다.

또한, 제2 표시전극을 평면전극인 투명전극과 그 위에 형성하는 버스전극으로 구성하고, 또 이 버스전극을 격자모양의 격벽과 겹치도록 격자모양으로 형성하면, 종래의 라인상의 버스전극에 비해 개구율을 감소시키지 않고 제2 표시전극의 저저항화를 도모할 수 있었다. 즉, 불투명전극인 버스전극을 표시셀의 격벽의 형상에 맞도록 형성함으로써, 표시셀의 개구율은 불투명전극의 형상치수에 의존하지 않기 때문에 대폭으로 향상되어 휘도향상을 실현할 수 있었다.

또, 제2 표시전극의 투명전극 패턴을 제1 표시전극(불투명 전극)과 동일한 라인모양의 전극 패턴으로서 형성함으로써 벽전하형성 등에 대한 반복방전특성의 안정성을 대폭으로 향상시키고 있다. 이 때의 양표시전극은 서로 평행, 또는 수직으로 배치된다. 상기한 투명전극상에 형성된 버스전극은 격자모양의 격벽과 겹치도록 형성되어 있기 때문에, 표시전극의 저저항화, 표시셀의 개구율향상, 및 각 전극과의 전극간 용량저감(라인패턴을 형성함으로써 평면전극에 개구부가 발생하고, 전극면적이 감소)을 확보할 수 있었다. 특히 버스전극형상의 영향을 받기 어렵기 때문에 패널의 고정밀화에 대하여 유리하게 된다.

또한, 본 발명은 상기 제2 목적을 달성하기 위해, 복수개의 어드레스전극과 상기 어드레스전극과 교차하도록 배치된 복수개의 제1 표시전극을 가지는 배면기판과, 상기 복수개의 제1 표시전극에 대향하여 배치된 복수개의 제2 표시전극을 가지는 전면기판을 적어도 구비하고, 상기 제2 표시전극과, 상기 어드레스전극을 사용하여 어드레스된 상기 제1 표시전극과의 사이에서 양광주를 형성하여 방전시키도록 한 것이다.

이와 같이 표시전극구조를 대향전극구조로 함으로써, 패널을 고정밀화 하기 위해 방전셀 치수가 제한되어도 양광주형성에 필요한 제1, 제2 표시전극간의 거리를 확보할 수 있었다. 따라서, 상기 구조에 의해 양광주를 형성할 수 있기 때문에, 음극로우의 경우에 비해 그 방전효율을 높일 수 있었다. 방전효율은 단위전력당 자외선의 발생량이고, 자외선이 형광체를 여기하여 가시광을 발생시키고 있다. 여기에서 양광주로는 글로우방전의 정규 글로우모드에서의 발광상태중 하나이다. 즉, 음극으로부터 양극을 향하여 차례로 음극압부, 음극로우, 패러데이압부, 양광주가 형성되지만, 그 중 주로 양광주를 사용하여 자외선을 발생시켜 표시동작을 행한다. 양광주의 방전효율이 음극로우보다 높기 때문이다. 또한, 이 양광주부는 양광주의 축방향에 일정한 전계강도가 발생한다. 이 전계강도는 표시방전셀의 벽면방향단위길이당 전자가 얻는 에너지와 단성충돌 등에 의해 손실되는 에너지로 결정되므로, 격벽확산이 형광등의 형태로 억제되어 있으면 양광주의 방전발광특성은 방전셀의 벽면방향길이에 지배되고 대향전극간의 갭길이에 의해 지배되지 않는다. 따라서, 양광주가 안정하게 형성될 수 있는 갭길이만 확보하면, 그 이상으로 갭길이를 크게 하여도 격벽 근방에 큰 전계강도를 발생시키지 않고 또 정규 글로우방전을 유지하기 위한 방전유지전류(방전전류밀도)를 충분히 저하시킬 수 있다.

그러나, 패널의 셀 사이즈, 또는 관경(管徑)이 충분히 작으면 격벽확산에 의한 에너지손실을 무시할 수 없게 된다. 이것을 개선하기 위해, 전면(前面)기판과 배면기판 사이에 배치되는 격벽을 표면을 절연한 메탈격벽으로서 일정한 바이어스전압을 인가하는 방법을 사용하였다. 이것에 의해, 절연(유전체)층 표면근방에 형성되는 이온위스를 통해 양광주 형성부에 필요한 벽면방향의 전계강도(전위차)를 안정, 또 효율적으로 유지할 수 있고, 방전효율을 대폭으로 향상시키는 양광주를 형성할 수 있었다.

지금까지, 양광주를 안정하게 형성하기 위해 방전유지전류를 증가시켜 전류밀도가 일정한 레벨을 넘고 있기 때문에, 방전의 안정성과는 별도로 자외선 포화가 일어나는 방전효율의 향상에 일정한 한계가 있었다. 메탈격벽에 바이어스전압을 인가하여 메탈표면의 유전체층에 벽전압(벽전하)을 형성하는 수단을 사용함으로써, 하전입자의 중화를 억제하여 격벽확산에 의한 여분의 에너지손실을 감소시키기 때문에 방전유지전류(전류밀도)를 감소시켜도 방전을 안정하게 유지할 수 있도록 되었다. 이것에 의해 자외선포화를 발생시키지 않고 방전유지에 필요한 전하량(방전의 유지에 필요한 최소의 전류)을 확보하여 방전효율을 향상시킬 수 있었다.

또한, 이 메탈격벽을 표면을 절연한 메탈판을 적층하도록 형성하고, 적어도 하나의 메탈판에 바이어스전압을 인가하면, 절연(유전체)층으로 덮은 메탈의 적층간에 구조상 셀프바이어스되는 형태로 축방향의 전계강도(전위차)를 가질 수 있으므로, 양광주 형성부에 필요한 전계강도(전위차)를 상기한 하나의 메탈판에 의한 경우에 비해 효율적이고 또 안정하게 형성할 수 있었다. 이와 같이 하여, 안정한 양광주를 형성할 수 있으므로 정규 글로우방전의 방전유지전류밀도를 충분히 저하시킬 수 있고, 자외선포화가 없는 조건에서 양광주를 형성하여 방전효율을 최대화시킬 수 있었다.

또한, 지금까지 설명해 온 대향전극구조는 대향하는 X-Y표시전극간의 갭길이를 증가시키고, 갭길이에 의존하는 방전개시전압( $V_0$ )의 증가나 인접셀에 미치는 전계크로스토크, 전하크로스토크의 증가라는 구동상의 문제가 있지만, 전술한 바와 같이 측면을 절연체로 덮은 메탈격벽을 사용하고, 또 바이어스전압 인가로 전위를 적정화함으로써, X-Y표시전극간의 갭길이의 실효적인 저감(전극간의 전계강도증가)과 인접셀간의 실드에 의한 전계 누설방지나 이것에 따른 불필요한 전하의 형성방지를 실현하여 해결할 수 있었다.

구체적으로는 이 메탈격벽에 의해 제1, 제2 표시전극간의 실효적인 갭길이를 저감할 수 있기 때문에 방전개시전압( $V_0$ ), 결국 최초의 방전발광 시에서의 동작점 전압을 저하시킬 수 있었다.

동작점 전류인 방전유지전류를 제어하여 방전효율을 적정화하기 위해 부하직선(부하저항, 전류제한저항)을 사용하고 있다. 이 동작점은 셀고유의 전류전압특성(I-V 특성)과 부하직선의 교점으로 설정된다. 셀고유의 I-V 특성은 본 발명에 의해 격벽확산을 억제하고 있기 때문에, 종래의 특성에 비해 저전류영역(정규 글로우방전영역)이 확대되어 있다. 이 때문에, 부하직선에 의해 설정되는 동작점전류는 지금까지보다 안정되어 현격하게 저감되어 있다.

AC형 구동의 셀구조에서는 벽전압이 표시전극상에 형성되기 때문에 정규 글로우전압( $V_n$ )에 영향을 미친다. 이 정규 글로우전압( $V_n$ )은 주로 음극강하전압( $V_c$ ), 양광주부의 축방향 전위(축방향전계강도( $E$ )와 전극간 갭과 거의 동일한 길이( $l$ )의 크기)로 주어진다. AC형 구동으로 양광주를 형성하는 경우, DC형구동에 비해 방전개시시에 벽전압을 이용가능하기 때문에 정규 글로우전압( $V_n$ ), 즉 음극강하전압( $V_c$ )을 외관상 감소시키는 효과가 얻어진다. 따라서, AC형구동은 셀고유의  $I-V$ 특성에 비하여 벽전압의 발생에 의해 외관상 동작점전압(정규 글로우전압( $V_n$ ))을 벽전압 만큼 감소시킬 수 있었다.

이상으로부터, AC형 구동으로 양광주의 격벽확산을 억제함으로써,  $I-V$ 특성의 정규 글로우방전영역을 저전류, 저전압화시키고 있다. 이것에 의해, 안정한 방전(양광주)을 유지(형성)하면서 부하직선에 의한 동작점전류, 동작점전압을 동시에 감소시킬 수 있었다. 동작점의 저전류 저전압화에 의해 소비전력의 감소와 동시에 적절한 방전유지전류(전류밀도)를 얻을 수 있고, 방전효율을 대폭으로 향상시킬 수 있었다.

구동회로계에 접속되는 전극을 가지는 전면기관과 배면기관, 및 이들 사이에 끼워지는 격벽에 의해 주위를 둘러싸는 다수개의 표시셀을 형성한 플라즈마디스플레이 패널에 있어서, 상기 격벽을 표면을 절연한 하나의 쉬트모양 금속판, 또 표면을 절연한 복수의 쉬트모양 금속판을 겹쳐서 형성하고, 바이어스전압을 인가하기 위해 상기 격벽의 적어도 하나의 쉬트를 상기 구동회로계에 접속한 구조로 하고, 상기 전극 및 바이어스전압을 인가하는 적어도 하나의 쉬트를 가진 상기 격벽에 각각 적절한 부하저항을 접속하는 것으로 해결할 수 있었다.

이것에 의해, 선택된 표시셀내의 A-Y전극 사이에서 어드레스방전을 일으켜 Y전극에 벽전하를 형성하고, 벽전하의 형성된 Y전극과 바이어스전압을 인가한 전극으로 되는 메탈격벽과의 사이에서 예비방전을 일으키는 것에 의해, 이 때 발생된 프라이밍입자에 의해 X-Y표시전극간의 방전개시전압( $V_{ox-y}$ )이 저하하고, 벽전압만큼 저하된 방전유지전압으로 방전을 안정하게 유지할 수 있었다.

또한, 이 메탈격벽구조에 의해, 유전체격벽으로 주변을 덮은 표시셀에 보여진 광이 투과하는 현상(광크로스토크)도 동시에 해결할 수 있었다.

이 대향방전전극구조에는 가공조립, 방전개시전압, 및 각종 크로스토크를 고려하여 메탈격벽을 사용하고 있다.

또한, 메탈격벽을 사용한 경우, 대향하는 X-Y표시전극간의 용량이 증가하기 때문에, 1셀스당  $CV^2$ 에 비례하여 소비전력이 증가해버리지만, 메탈격벽과 전면기관 또는 배면기관과의 접촉 또는 접속을 메탈격벽측 또는 전면기관, 배면기관측에 형성된 복수의 블록부를 통해 행하는 것에 의해 그 증가를 억제할 수 있었다.

구체적으로는, 구동회로계에 접속되는 전극을 가지는 전면기관과 배면기관, 및 이들 사이에 끼워지는 격벽에 의해 주위가 둘러싸여진 복수개의 표시셀을 형성한 플라즈마 디스플레이 패널에 있어서, 상기 격벽이 상기 전면기관 또는 상기 배면기관과 대향하는 면에 대하여 복수의 블록부를 형성하고, 상기 블록부가 상기 전면기관 또는 상기 배면기관에 형성된 상기 전극과 겹쳐지지 않도록 배치하는 것에 의해 메탈격벽에 의한 용량의 증가 등을 억제할 수 있었다. 또한, 상기 전면기관에 하나의 평면전극을 상기 복수개의 표시셀의 공통표시전극으로서 형성한 경우는 상기 격벽의 상기 블록부가 겹쳐지지 않도록 상기 평면전극에 국부적인 개구부를 설치하는 것이 바람직하다. 이것에 의해, 메탈격벽과 전면기관 또는 배면기관과의 접촉 또는 접속면적을 저감하여 X-Y전극간 용량을 저감하는 것이 가능하게 되었다. 이 경우, 블록부가 전면기관 또는 배면기관에 형성된 각 전극 형상과 겹쳐지지 않도록 배치하는 것이 바람직하다. 또한, 전극표면은 절연층의 내압항상이 요구되므로, 메탈격벽을 복수개의 표면을 절연한 메탈판으로 적층하는 경우, 전체 메탈판을 바이어스전압을 인가하는(구동)전극으로 하지 않는 것이 바람직하다. 또한, 이 메탈격벽을 종래의 면방전형의 플라즈마 디스플레이 패널에 적용했다고 하여도 대향하여 배치되는 어드레스전극과 표시전극과의 사이의 용량 등을 억제하는 것은 가능하다.

그 외, 지금까지 설명해 온 어드레스전극(A)과, 표시전극(Y)의 크로스구조에 있어서, 어드레스전극(A)과 표시전극(Y)의 사이의 절연층 두께를 감소시켜서 방전개시전압( $V_{oa-y}$ )을 저감시키도록 하면, 절연층의 내압이 감소하여 패널의 신뢰도가 저하하거나, 전극간 용량의 증가로 1셀스당  $CV^2$ 에 비례하여 소비전력도 증가한다고 했던 문제가 발생하지만, 배면기관이 절연기관상에 제1 절연층, A전극, 제2 절연층, Y전극, 및 제3 절연층의 순서로 형성된 표시셀내의 구조에 있어서, 제2 절연층과 Y전극의 사이에 Y전극을 형성하기 위한 제4 절연층을 단층 또는 다층구성(핀홀 등의 결함을 방지)으로 형성하는 것에 의해 이 문제는 해결되었다.

또한, 반대로 어드레스전극(A)과, 표시전극(Y)의 크로스구조에 있어서, 어드레스전극(A)과 표시전극(Y)의 사이의 절연층 두께를 증가시켜 전극간의 용량저감과 절연층 내압항상을 이루려 하면, 방전개시전압( $V_{oa-y}$ )이 증가하여 구동IC의 고내압화가 필요하게 되지만, 배면기관이 절연기관상에 제1 절연층, A전극, 제2 절연층, Y전극, 및 제3 절연층의 순서로 형성된 표시셀내의 구조에 있어서, 제3 절연층이 Y전극 주변을 피복하고, 또 적어도 제2 절연층을 피복하지 않은 부분을 남기고 형성하는 것에 의해 이 문제는 해결되었다.

또한, 본 발명은 상기 제3 목적을 달성하기 위해, 지금까지의 연구에서 알아낸 기본적인 동작원리를 기초로 하고 있다.

원리는 글로우방전의 유지조건에 착안하여 이하에 설명하는 바와 같이 음극압부의 고전계영역과 양광주의 등전위영역을 동시에 또 좋은 효율로 형성시키는 수단을 사용하고 있다.

대향표시전극간에 표면을 절연한 고에스펙트비 형상의 메탈격벽을 배치하고, 이 메탈격벽에 애노드전극과 거의 동일한 전압을 인가함으로써, 메탈격벽의 표면유전체층에 벽전압( $V_w$ )(벽전하  $Q_w=C V_w$ . 단, C는 메탈표면의 유전체용량을 나타낸다)을 발생시킨다. 이 벽전압( $V_w$ )의 발생에 사용되는 벽전하는 반쪽방전층에 소모되지 않고 또는 교환이 불필요하기 때문에 양광주의 등전위영역이 애노드전위와 거의 동일하게 이용하여 항상 애노드전극으로 한다. 메탈격벽의 구동회로가 불필요하고, 또 패널셀구조내부에 그랜드(*grand*)를 배치하여 안정 구동시키기 때문에, 애노드전극을 그랜드접지한다. 안정된 벽전압( $V_w$ )이 셀프바란스에 의해 형성되고, 셀사이즈(관경)의 감소에 따라 하전입자의 격벽확산(에너지손실)이 대폭으로 억제되어 플라즈마(양광주)를 좋은 효율로 형성시킨다. 또한, 격벽확산의 억제뿐만 아니라, AC형 구동에 의한 표시전극상의 벽전압( $V_q$ )형성에 의해 셀고유  $I-V$ 특성(정규글로우방전영역)을 각각 저전류, 저전압화시키고, 부하직선에 의한 동작점전류, 전압을 대폭으로 감소시키고, 자외선포화(휘도포화)를 발생하지 않는 필요최소한의 낮은 전류밀도에서도 방전을 안정하게 유지시킨다.

지금까지는 격벽확산의 억제가 불충분하면 양광주를 형성할 수 있더라도 방전을 안정하게 유지할 수 없기 때문에 방전유지전류를 증가시킬 필요가 있고, 에너지손실을 증가시키기 때문에 방전효율의 향상에 일정한 한계가 있었다.

상기한 원리를 사용함으로써 방전유지전류를 적정화할 수 있고, 자외선포화(휘도포화)를 발생하지 않는 필요최소한의 낮은 전류밀도로 방전을 안정하게 유지할 수 있게 되고, 종래에 비해 방전효율을 더욱 향상할 수 있었다.

또한, 플라즈마 디스플레이패널 이외에도 글로우방전을 사용하여 양광주를 형성시키는 전자장치에 대하여 적용할 수 있고, 방전효율 즉 자외선 발생효율을 적어도 향상시킬 수 있다.

이와 같이 하여, 도 26에 나타내는 구조에 있어서 격벽을 메탈격벽으로 하고, 또 바이어스전압을 인가함으로써, 도 20, 도 21에 나타낸 바와 같은 양광주를 형성한 글로우방전의 기본특성인 양광주부 전체에 애노드전위(VA)와 거의 동일한 전위의 등전위영역과, 음극암부의 고전계영역을 각각 형성하는 것에 의해 부유전위(Vf(Vfmax))(45)나 벽전압(Vq)(46)을 대폭으로 감소시키는 것이 가능하였다.

즉, 본 발명은 상기 제3 목적을 달성하기 위해, 구동회로계에 접속되는 전극을 가지는 전면기판과 배면기판, 및 이들 사이에 끼워지는 표면을 절연한 메탈격벽에 의해 주위를 둘러싼 복수개의 표시셀을 형성하고, 상기 전면기판에 하나의 평면전극을 상기 복수개의 표시셀의 공통표시전극으로서 형성(복수의 라인모양의 전극으로 이루어지는 공통표시전극이라도 된다)하고, 상기 배면기판에 복수의 라인모양 전극으로 이루어지는 표시전극군과 트리거(어드레스)전극군을 서로 교차시켜 상기 표시셀과 상기 교차부를 대응시켜 형성한 대향표시전극형 플라즈마 디스플레이 패널이고, 기록방전에 의해 상기 표시전극군과 상기 트리거전극군에서 선택된 상기 표시셀에 대하여 상기 표시전극군과 상기 공통표시전극과의 사이에서 글로우방전을 발생시키고, 상기 글로우방전으로 형성된 양광주부에 애노드전위(Va)(41)와 거의 동일한 상기 메탈격벽의 메탈전위(Vm)를 사용하여 등전위영역을 형성하고, 또 음극암부에 이 메탈전위(Vm)와 캐소드전위(Vk)로 고전계영역을 형성시키는 것이다.

#### (1) 양광주부의 등전위영역의 형성

도 20, 도 21에 나타낸 바와 같이, 메탈격벽(5)을 사용하여 일정한 메탈전위(Vm)(40)를 가진 등전위영역을 형성하여 양광주부의 플라즈마전위(Vp)(44)와 거의 동일하게 하기 위해, 글로우방전특성이 안정하게 형성된 양광주부의 플라즈마전위(Vp)(44)가 애노드전위(VA)(41)와 거의 동일하게 되는 성질을 이용하고 표시전극군과 공통표시전극중의 한쪽을 애노드전극, 다른쪽을 캐소드전극으로 하는 2개의 표시필스전압(VA(41), VK(42))에 대하여 애노드전극에 인가되는 표시필스전압(VA)(41)을 상기 메탈전위(Vm)(40)와 거의 동일하게 하는 것에 의해, 필요로 하는 등전위영역을 형성시키는 것으로 했다. 이 동작중에서 캐소드전위에만 음의 필스전압을 부여하고, 메탈격벽과 애노드전극을 그랜드접지로 하는 것에 의해, AC형이기 때문에 대향표시전극이 서로 애노드전극과 캐소드전극이 서로 교차되어도 메탈격벽은 애노드전극, 즉 그랜드접지(직류바이어스전위)로 유지된다. 이 때문에, 패널내부에 배치된 메탈격벽은 실효적인 그랜드플레인을 형성하고, 메탈격벽이 표시전극, 공통표시전극, 및 어드레스 전극과 비정상하게 근접배치되기 때문에, 각 전극간이나 그 배선간의 부유용량의 영향은 대폭으로 감소한다.

여기에서, 메탈전위(Vm)(40)를 부여하는 방법은 외부전위(예컨대, 접지전위)와 부유용량전위에 의한 2가지 방법이 있다.

메탈전위(Vm)(40)를 외부전위에서 부여하는 경우는 안정도가 우수하지만, X, Y전극에 인가하는 구동파형의 직류전압성분의 영향을 받는다. 이것을 방지하기 위해 발생하는 직류전압성분을 외부전위와 일치시키도록 설정한다.

한편, 메탈격벽(5)의 전위(Vm)(40)를 부유용량전위로 부여하는 경우는 패널전체에서 형성되는 메탈격벽(5)과 대향전극간의 용량분포비(공통표시전극(X전극)과 메탈격벽전극(M전극), 표시전극군(Y전극군)과 메탈격벽전극(M전극)의 사이에 형성되는 2개의 용량의 비)와 대향표시전극 사이에 인가하는 구동파형의 직류전압성분의 차이(X, Y의 2성분의 차이)로 설정되고, 예컨대, 2개의 용량에 차이가 있는 경우라도, 2개의 직류전압성분을 동일하게 함으로써 메탈전위(Vm)(40)를 직류전압성분으로 설정할 수 있다.

또한, 메탈전위(Vm)(40)의 절대치는 부유용량전위를 고려한 외부전위(접지전위, 직류바이어스전위 등) 또는 그 반대로 부여하고, 동작방식 구동파형(서브필드단위, 또 1TV필드단위)의 직류전압성분의 영향이나 전압동작마진의 안정도 향상을 고려하여 거의 0볼트(약  $\pm 30\text{V}$  이내)로 설정하는 것이 바람직하다.

이것에 의해, 애노드전극에 인가되는 표시필스전압(VA)(41)과 메탈전위(Vm)(40)를 거의 0볼트로 합과 동시에, 상기 캐소드전극에 인가되는 상기 표시필스전압(VK)(42)을 음의 표시필스전압(Vsus)(43)으로 설정할 수 있다.

또한, 접지전위를 사용하여 메탈격벽(5)으로 흐르는 불필요한 방전전류량을 제한하는 경우는 애노드전극 또는 캐소드전극에 대하여 메탈격벽(5)을 고임피던스(고저항)로 형성하고, 또는 메탈격벽(5)에 양쪽의 표시전극의 부하저항보다 충분히 높은 저항을 통해 접지하고 있다.

메탈전위(Vm)(40)를 임의의 값으로 설정하는 경우는 외부전위와 부유용량전위의 양쪽에서 부여하고, 또 양쪽의 전위를 거의 동일한 값으로 하면 좋다. 이것에 의해 직류전압성분의 영향을 충분히 제거하고, 또 전압동작마진에 대한 안정도(X, Y전극전위의 안정화)를 향상시킬 수 있었다.

#### (2) 음극암부의 고전계영역의 형성

다음에, 메탈격벽(5)과 표시필스전압(VK)(42)을 인가하는 캐소드전극과의 갭간격(도 15, 도 16에 나타낸 공간갭 24, 25, 27, 28)을 대폭으로 감소(수십 미크론 정도)시킴으로써, 음극암부의 고전계영역을 형성하는 것으로 했다. 즉, 메탈격벽(5)과 전극을 가지는 전면기판(3), 또는 배면기판(4)과의 사이에 공간갭을 존재시키고, 어느 한쪽의 구조(메탈격벽, 또는 전면기판(3), 배면기판(4))에 메탈, 또는 유전체의 오목부, 또는 볼록부를 설치하여 형성하는 것으로 했다.

이것에 의해, 애노드전극에 인가되는 표시필스전압(VA)(41)과 메탈전위(Vm)(40)를 거의 동일하게 할 수 있고, 또 애노드전극과 캐소드전극과의 사이에 인가되는 표시필스전압의 전위차(VA-VK)의 대부분을 상기한 메탈격벽(5)과 캐소드전극과의 공간갭에 인가하여 고전계영역을 형성할 수 있었다.

이 공간갭을 또 표시셀(2)의 구조로부터 메탈격벽(5)과 표시전극(군)(17), 또는 메탈격벽(5)과 공통표시전극(10)의 교차부 부근에 형성하면, 이 교차부 부근에서 떨어진 셀내부의 중앙부에는 저전계영역이 형성된다. 결국, 공간갭(25, 28)의 주변부에 음극암부에 필요한 적절한 고전계영역을 셀프바란스에 의해 형성시키고 있다.

이하, 본 발명의 실시예를 설명한다.

도 1은 본 발명의 일 실시예이고, 플라즈마 디스플레이 패널(1)의 표시셀(2)의 단면구조를 나타낸다.

플라즈마 디스플레이 패널(1)은 전면기판(3), 배면기판(4) 및 메탈 격벽(5)으로 구성되는 3피스구조를 갖는다.



전면기관(3)의 경우, 투명한 유리기관(6)의 위에 투명한  $\text{SiO}_2$ 의 기초막(7)과 ITO막의 투명전극(8)이 형성되고, 또 투명전극(8)의 위에 저항율( $\rho$ )이 작은 버스전극(9(9-1, 9-2))이 형성된다. 이 버스전극(9)과 투명전극(8)으로 평면전극을 구성하고, 표시셀(2)의 전극으로서 공통표시전극(X전극)(10)을 형성한다. 버스전극(9)은 불투명한 Ag계 등의 후막(厚膜) 도체로 형성되지만, CR/Cu/Cr의 금속적층막으로 수  $\mu\text{m}$ 정도 형성하는 것도 가능하다. 또한, 버스전극(9)에 흑색계의 도체재료를 사용함으로써 블랙매트릭스(black matrix)를 겸하여 형성하는 경우도 있다. 투명전극(8), 버스전극(9)의 위에는 벽전하(壁電荷)를 축적하는 후막(박막의 경우도 있다)의 유전체층(11), 2차 전자방출계수가 큰 내 스퍼터(sputter)성이 우수한 MgO막의 보호층(12)이 차례로 형성된다. 보호층(12)은 프로세스 및 코스트면에서 후막으로 형성하는 경우도 있다. 보호층(12)에 사용되는 재료로서 MgO의 외부에 음극강화전압(Vc)의 낮은 재료로서 BaO,  $\text{Y}_2\text{O}_3$ , ZnO, RuO<sub>2</sub> 등이 있다.

배면기관(4)의 경우, 유리기관(13)의 위에  $\text{SiO}_2$ 의 기초막(14)을 형성하고, 그 위에 Ag계 등의 후막도체로 이루어지는 어드레스전극(A전극)(15), 후막의 유전체층(16), Ag계 등의 후막도체로 이루어지는 표시전극(Y전극)(17), 후막의 유전체층(18), MgO막의 보호층(19)이 차례로 형성된다. A전극(15), Y전극(17)에 후막도체를 사용함으로써 간이프로세스, 저코스트화를 실현하고 있지만, Cr/Cu/Cr의 금속적층막을 사용할 수도 있다.

메탈 격벽(5)은 열팽창계수를 유리기관(6, 13)에 대응하는 Fe-Ni계의 박판을 에칭가공 등에 의해 구멍을 낸 것이고, 표면에 절연성의 산화피막(20(20-1, 20-2))을 형성하고 있다. 소재인 산화피막(20)을 대신하여 전착(電着)에 의해 형성된 유리절연막이나 이온 플레이팅에 의한 산화알루미늄 피막을 사용하여 절연막의 내전압특성을 향상시키는 것도 가능하다. 메탈 격벽(5)에 설치된 구멍의 내측에는 형광체(21(21-1, 21-2))가 거의 균일한 두께로 형성된다. 형광체(21)는 배면기관(4)에 메탈 격벽(5)을 접속하기 전에 형성하지만 접속후에도 형성할 수 있다. 메탈 격벽(5)은 절연처리된 슈트모양의 금속판인 박판을 복수개 적층함으로써 고에스펙트비의 구멍을 용이하게 형성할 수 있고, 또 슈트간 용량이나 표시전극간 용량도 저감한다.

표시셀(2)에 설치된 전극수는 3전극이고, 배치는 X전극(10)과 Y전극(17)이 표면에 절연막을 가지는 메탈 격벽(5)을 통해 대향하고, 또 A전극(15)과 Y전극(17)이 유전체층(16)을 통해 직교하고 있다. 특히, 메탈 격벽(5)이 후술하는 전극구조, 또는 전력회수회로에 의해 부하용량으로 되는 전극간의 배선용량이 구동상 문제로 되지 않을 경우, X전극(10)과 Y전극(17)의 표면에 형성된 유전체층(11, 18)의 내전압을 확보함으로써, 메탈 격벽(5)의 표면에 설치된 산화피막(20)의 절연성을 완전하게 요구하지 않고(형광체의 도포 등에 의해 내전압저하, 표면저항저하가 어느 정도 허용된다), 또 메탈 격벽(5)의 가공프로세스의 간이화, 저코스트화를 실현시키고 있다.

도 2는 플라즈마 디스플레이 패널(1)의 전면기관(3)의 옆에서 본 평면도를 나타낸다.

버스전극(9)의 패턴은 표시셀(2)의 개구부를 결정하고 있는 메탈 격벽(5)의 구멍형상(22)에 맞는 형태로 격자상으로 형성하여 표시셀(2)의 개구면적에 영향을 주지 않도록 하고 있다. 형광체(21)는 구멍형상(22)의 내측에 형성되어 있고, 표시셀(2)의 긴쪽 방향의 두께가 짧은쪽 방향보다 2배이상으로 두껍게 하여 발광효율을 향상시키고 있다. 평면구조로 형성된 ITO막인 투명전극(8)에 더하여 격자상으로 형성된 버스전극(9)의 구조에 의해 X전극(10)의 전극저항을 감소시켜 소비전력의 대폭적인 저감과 동시에 방전전류가 흐르는 것에 의한 구동전압의 저하방지(동작 마진향상)를 실현하고 있다.

도 3은 플라즈마 디스플레이 패널(1)의 배면기관(4)의 옆에서 본 평면도를 나타낸다. 상기한 도 1은 도 3의 A-A'선의 단면도에 상당하고 있다.

A전극(15)과 Y전극(17)과는 메탈 격벽(5)의 구멍형상(22)으로 나타낸 표시셀(2)의 중앙부에서 교차부(23)를 설치한 구조를 갖는다. Y전극(17)의 전극폭을 구멍형상(22)의 긴쪽 방향으로 넓게 함으로써, X전극(10)의 경우와 마찬가지로 Y전극(17)의 전극저항을 감소시켜 소비전력의 저감 등을 실현하고 있다.

이 교차부(23)의 구조는 A전극(15)과 Y전극(17)과의 사이의 방전개시전압( $V_o$ )과 내전압( $V_d$ ) 및 부하용량(Clay)을 결정하고 있다. 도 1의 단면구조와 도 3의 평면구조 때문에, 유전체층(16)(도 1에 나타냄)의 두께는 방전개시전압( $V_o$ )의 감소와 내전압( $V_d$ )의 증가, 또는 방전개시전압( $V_o$ )의 감소와 부하용량(Clay)의 저감을 동시에 만족할 수 없기 때문에 일정한 조건에 의거하여 적정화하여 사용된다. 내전압( $V_d$ )의 증가와 부하용량(Clay)의 저감만을 만족시킬 경우는 유전체층(16)(도 1에 나타냄)의 두께를 증가시키면 되지만, 동시에 방전개시전압( $V_o$ )의 감소도 만족시킬 경우는 유전체층(16)(도 1에 나타냄)의 두께를 일정하게 하여 교차부(23)의 면적, 결국 전극폭을 감소시켜 사용한다.

도 4는 본 발명의 또 하나의 실시예이고, 도 3의 A-A'선의 단면도에 상당하는 부분을 변형시킨 단면도를 나타낸다.

유전체층(16)과 그 위에 형성된 Y전극(17)에 대하여 유전체층(24)이 Y전극(17)의 주변부를 피복하고, 또 유전체층(16)을 피복하지 않은 부분을 도 1에 나타낸 표시셀(2)의 내부에 남기고 있다. 도 1에 나타낸 유전체층(16)과 유전체층(18)의 2층구조에 있어서, A전극(15)에 대하여 유전체층(18)을 대신하는 유전체층(24)을 형성함으로써, A전극(15)과 Y전극(17)과의 사이의 유전체층(18)의 두께만큼이 제거되어 방전개시전압( $V_o$ )의 저전압화를 실현하고 있다.

도 5는 본 발명의 또 하나의 실시예이고, 도 3의 A-A'선의 단면도에 상당하는 부분을 변형시킨 단면도를 나타낸다.

유전체층(16)과 그 위에 형성된 Y전극(17)과의 사이에 Y전극(17)의 기초층으로 이루어지는 또 하나의 유전체층(25)을 형성하고, 또 이 유전체층(25)이 유전체층(25)의 기초층으로 되는 유전체층(16)에 대하여 피복하지 않은 부분을 도 1에 나타낸 표시셀(2)의 내부에 남기고 있다. 또한, Y전극(17)의 위에 형성되는 유전체층(26)은 Y전극(17)의 주변부를 피복하고, 또 유전체층(25)의 위에 형성되어 있다. 특히, 유전체층(26)이 유전체층(25)뿐만 아니라, 유전체층(16)의 위에도 형성되는 경우는 유전체층(26)은 유전체층(16)에 대하여 피복하지 않은 부분을 도 1에 나타낸 표시셀(2)의 내부에 남기고 있다.

이들 2개의 유전체층의 구조에 의해 유전체층(25)과 유전체층(26)의 두께분에 의해 증가되지 않을 수 없는 A전극(15)과 Y전극(17)과의 사이의 방전개시전압( $V_o$ )의 증가분을 제거하고, 또 A전극(15)과 Y전극(17)과의 사이에 삽입된 유전체층(25)의 두께분에 의해 내전압( $V_d$ )의 증가와 부하용량(Clay)의 저감을 실현시키고 있다. 내전압( $V_d$ )의 증가와 부하용량(Clay)의 저감은 교차부(23)의 면적을 감소시킬 뿐만 아니라 유전체층(25)을 다층 구조로 하여 두께를 증가시킴으로써 용이하게 실현하고 있다. 한편, 방전개시전압( $V_o$ )의 저감은 유전체층(16)과 유전체층(26)의 두께를 감소시킴으로써 용이하게 실현하고 있다. 따라서, A전극(15)과 Y전극(17)과의 사이의 방전개시전압( $V_o$ )을 증가시키지 않고 내전압( $V_d$ )의 증가와 부하용량(Clay)의 저감을 동시에 실현하는 구조를 얻고 있다. 이와 같이, 새롭게 삽입된 유전체층(25)과 새로운 구조조건을 부가한 유전체층(26)에 의해 방전개시전압( $V_o$ )과 내전압( $V_d$ ) 및 부하용량(Clay)에 대한 구조설계의 자유도를 넓히고 있다.

도 6은 본 발명의 또 하나의 실시예이고, 메탈 격벽(27)의 구조를 보여주는 사시도를 나타낸다.

메탈 격벽(27)에는 상기한 도 1 내지 도 5에서의 배면기관(4)에 대항하는 면에 대하여 복수의 볼록부(28(28-1, 28-2, 28-3,...))를 설치하고, 배면기관(4)과의 접촉면적감소나 접촉부 위치의 특정과 동시에 도 3에 나타낸 표시셀(2)내의 방전가스의 유입, 배출구를 형성하고 있다. 이 볼록부는 도 3에 나타낸 표시셀(2)의 구멍형상(22)에 대응하여 형성된다. 긴쪽 방향(29)과 짧은쪽 방향(30)으로 곡면형상인 오목부(31(31-1, 31-2,...), 32(32-1, 32-2, 32-3, 32-4,...))를 에칭법 등에 의해 가공하여 얻는다. 오목부(31, 32)의 형상은 전하 크로스토크 방지를 위해 표시셀(2)의 사이즈에 대하여 국소적으로 설치되는 경우도 있다.

도 7은 본 발명의 또 하나의 실시예이고, 메탈 격벽(33)의 구조를 보여주는 사시도를 나타낸다.

마찬가지로, 메탈 격벽(33)에는 상기한 도 1 내지 도 5에서의 배면기관(4)에 대항하는 면에 대하여 복수의 볼록부(34)(34-1, 34-2, 34-3,...)를 설치하고, 배면기관(4)과의 접촉면적감소나 접촉부 위치의 특정과 동시에 도 3에 나타내는 표시셀(2)내의 방전가스의 유입, 배출구를 형성하고 있다. 이 볼록부도 도 3에 나타낸 표시셀(2)의 구멍형상(22)에 대응하여 형성된다. 깊이에 차이를 둔 긴쪽 방향(35)과 짧은쪽 방향(36)의 직사각형 위의 오목부(37(37-1, 37-2,...), 38(38-1, 38-2))는 2단계의 에칭법에 의해 가공되어 있다. 오목부(37, 38)의 깊이는 도 3에 나타낸 인접하는 표시셀(2)사이의 전하 크로스토크방지를 위해 보다 엄격하게 긴쪽 방향(35)의 오목부(37)를 짧은쪽 방향(36)의 오목부(38)보다 얇게 하고 있다. 또한, 메탈 격벽(33)과 각 전극 사이의 용량결합의 저감이나 배기 콘덕턴스의 증가를 위해 도 6에 비해 오목부(37, 38)의 깊이를 직사각형 형상으로 일정하게 하고 있다. 이 볼록부(34)는 메탈격벽(33)의 메탈자체를 가공하여 형성되고 있지만, 구멍 가공된 메탈시트의 표면에 유전체 기둥으로 형성되는 경우도 있다. 유리의 경우, 격자모양으로 가공된 메탈표면에 소성시의 표면장력을 이용한 돌기를 볼록부(34)로서 형성시키는 경우도 있다. 이것에 의해 더욱 전극간의 용량을 저감할 수 있다.

도 8, 도 9는 본 발명의 또 하나의 실시예이고, 각각 배면기관(39)에 메탈 격벽(40)을 배치한 구조의 평면도, 단면도를 나타낸다. 도 9는 도 8의 B-B'선의 단면도를 나타낸다.

도 9에 나타내는 메탈 격벽(40)에 형성된 볼록부(41)는 도 8에 나타낸 평면위에서 A전극(42)과 Y전극(43)에 대하여 겹쳐지지 않도록 거의 규칙적으로 배치된 접촉부(44)에 배면기관(39)의 MgO막(45)을 통해 겹쳐진다. 이것에 의해, 메탈 격벽(40)과 A전극(42), Y전극(43)과의 용량결합이 대폭적으로 완화된다는. 결국, 도 1에 나타낸 공통표시전극(10)과 표시전극(43), 공통표시전극(10)과 어드레스전극(42)과의 부하용량(Clxy, Cixa)을 저감한다. 특히, 볼록부(41)를 유전체기둥으로 형성함으로써 보다 더욱 용량이 저감된다.

본 발명에 의해, 면방전형(面放電形)에서는 곤란했던 표시전극간의 부하용량저감을 기본적으로 해결한다. 또한, 메탈 격벽(40)을 통한 배면기관(39)위의 A전극(42)과 Y전극(43)과의 용량결합(Cla-m-y)을 더 저감한다. 이것으로부터 유전체격벽을 대신하는 메탈 격벽구조는 각 전극간의 용량결합을 억제할 수 있고 부하용량(Clxy)의 저감을 용이하게 실현한다.

도 10, 도 11은 본 발명의 또 하나의 실시예이고, 각각 전면기관(46)에 메탈 격벽(47)을 배치한 구조의 평면도, 단면도를 나타낸다. 도 11은 도 10의 C-C'선의 단면도를 나타낸다.

도 11에 나타낸 메탈 격벽(47)에 형성된 볼록부(48)는 도 10에 나타낸 ITO막의 투명전극(49)과 버스전극(50)으로 이루어지는 평면전극인 X전극(51)에 개구부(52)를 설치하고, 또 개구부(52)의 속에 거의 규칙적으로 배치한 접촉부(53)에 배면기관(46)의 MgO막(54)을 통해 겹쳐진다. 이 개구부(52)를 버스전극(50)의 크로스부에 배치하는 것에 의해 개구부(52)의 면적을 크게 할 수 있고 용량결합의 저감과 조립정밀도의 완화를 실현한다. 마찬가지로, 볼록부(48)를 유리의 유전체기둥으로 형성하는 것에 의해 더욱 용량을 저감시키고 있다.

본 발명의 또 하나의 실시예로서 상기한 도 8과 도 9로부터 2개의 발명을 조합시키는 방법이 있다. 이것에 의해 도 1에 나타낸 메탈 격벽(5)을 통한 전면기관(3)과 배면기관(4)에 형성된 전극간의 용량결합을 더욱 완화(약하게)할 수 있다.

메탈 격벽(40, 47)에 설치된 볼록부(41, 48)는 1매의 슈트모양 금속판으로 형성할 경우는 양면 에칭법으로 이루어진다. 또한, 볼록부(41, 48)를 유전체기둥으로 양면에 형성하는 경우도 있다. 유리에 의한 유전체기둥의 경우, 구멍 가공된 메탈의 구조에서 소성시의 온도를 높여 유리의 점도를 저하시키고 표면장력을 이용하는 것에 의해 도 8, 도 10에 나타낸 위치에 용이하게 수십 미크론 정도의 높이를 형성할 수 있다. 또한, 슈트모양 금속판의 한쪽 면에 개별적으로 볼록부(41, 48)를 형성한 후에 또 한쪽의 평탄면에 2매를 대항하게 결합하여 형성하는 방법도 있다. 메탈의 결합은 메탈 격벽(40, 47)을 에칭가공후, 표면에 형성된 유리절연막을 사용하여 접속하는 경우도 있다. 도 11에 나타낸 전면기관(46)과 도 9에 나타낸 배면기관(39)에 메탈 격벽(47, 40)을 일체화한 구조의 메탈 격벽(55)(도시생략)을 사용함으로써, Y전극(43)과 X전극(51), A전극(42)과 X전극(51)과의 부하용량(Clxy, Cixa)이 더욱 저감되기 때문에, 구동능력이 작은 소자, IC 등을 사용할 수 있고 또 부하용량(Clxy)에 비례하는 소비전력(무효전력)을 대폭으로 저감하기 때문에, 컴팩트한 전력회수회로, 저코스트의 구동회로를 실현할 수 있었다.

또한, 고에스펙트비의 메탈격벽을 고정밀도, 또 용이하게 형성하기 위해, 슈트모양의 박판을 에칭가공하여 3층 이상의 다층을 적층하는 경우도 있다. 고정밀도로 에칭가공된 각 박판의 표면에는 이온플레이팅법에 의한 산화알루미늄막이나 전착(電着)에 의한 유리절연층을 형성한다. 다층의 메탈격벽을 구성하는 외측표면층의 2층분에는 상기한 볼록부(41, 48) 등이 형성되고, 다른 층에는 양면에 평탄층이 형성된다. 고에스펙트비의 메탈격벽은 슈트모양의 박판을 적층하는 것에 의해 형성되지만, 동시에 메탈격벽의 내층부에 형성된 박판의 구멍형상을 좁혀 A, Y전극간의 방전발광을 차폐하는 고(高) 콘트라스트(contrast)구조를 제공하는 경우도 있다. 또한, 다층구조에 의해 산화알루미늄이나 유리절연층의 두께나 층수를 증가시킴으로써 메탈격벽의 외측표면층으로부터 본 부유용량(Clmm)을 감소시키고, 도 1에 나타낸 전면기관(3)과 배면기관(4)에 형성되는 전극간의 용량결합을 더욱 감소시키는 경우도 있다. 상기한 부하용량(Clxy)은 주로, X전극(51)과 메탈 격벽(55)(도시생략)과의 사이에 형성되는 용량(Clxm)과 Y전극(43)과 메탈 격벽(55)(도시생략)과의 사이에 형성되는 용량(Clym)과의 직렬접속으로 부여되지만, 상기한 메탈격벽 자신의 부유용량(Clmm)의 영향을 받는 경우는 거기에 부유용량(Clmm)도 가한 형태의 직렬접속으로 주어진다. 특히, 2개의 용량(Clxm, Clym)은 X-Y전극간에 인가되는 대칭의 필드전압파형에 대하여 안정한 동작인 점으로부터 거의 동일하게 설정한다.

도 12는 본 발명의 일실시예이고, 상기한 도 1 내지 도 9에 나타낸 플라즈마 디스플레이 패널 구동방식, 구동파형을 부여하는 타이밍차트도이다.

도 12에 나타낸 1서브필드의 기본파형(약, 1.6~2msec의 기간)은, 전체 기록기간, 어드레스기간, 서스테인(sustain)기간, 및 소거기간의 4개의 기간으로 구성된다. 도 12의 중에서 나타낸 원내의 기호: 0, +, -, X, Y, 및 A의 3전극상(실제의 전극은, AC방전방식을 위한 도체전극상에 형성된 유전체의 MgO막이 진(眞)전극으로 된다)에 방전후 형성되는 벽전하를 나타내고, 각각의 벽전하량은 0 또는 무시할 수 있는 경우, 양전하가 형성될 경우, 음전하가 형성되는 경우를 나타낸다. 또, 화살표에 있는 \*표시는 2전극 사이에서 주방전을 발생시키는 것을 나타낸다. 3전극상의 벽전하는 1서브필드의 개시시점인 t056과 종료시점인 t757에서 기본적으로 0이다. 이하, 각 기간의 동작을 설명한다.



전체 기록기간의 경우, Y전극과 A전극의 2전극 사이에서 시점 t158과 시점 t259에서 방전을 발생시킨다. 기간종료시점에서는 예전대, 도 1에 나타난 플라스마 디스플레이 패널(1)의 전체영역의 표시셀(2)에 대하여 Y전극과 A전극상에 각각 음전하, 양전하가 형성된다. 이것은 다음의 어드레스기간에서 기록방전을 발생시키는 Y, A전극의 인가전압을 저전압화하기 위해 실시하고 있다.

방전시점 t158에서의 방전은 전극간의 방전개시전압( $V_0$ )을 고려하여 Y전극에 인가하는 펄스전압( $V_{y60}$ )을 양전압(180v)에서 음전압(-180v)으로 변화시켜 교류동작을 시킴으로써, 실효적으로 펄스전압( $V_{y60}$ )의 저전압화를 실현하고 있다. 한쪽의 A전극의 펄스전압( $V_{a61}$ )도 동시에 저전압(60v)이다. 특히, Y전극, A전극의 펄스전압( $V_y$ )(60), ( $V_a$ )(61)에서 방전조건을 만족할 수 없는 경우는 시점 t158에서 X전극에 펄스전압( $V_x$ )(63)의 양전압(250~350v)을 인가하고(도 12에서는 생략), X-Y전극 사이, 구체적으로는 메탈 격벽의 M전극 사이와 Y전극 사이에서 전체 기록 방전을 발생시킨다. 이때, 방전개소가 표시셀의 표면에서 떨어져 있기 때문에 콘트라스트에 미치는 영향은 적다.

초기방전의 시점 t158의 펄스폭을 10~20  $\mu$ sec정도로 함으로써 다음의 방전의 시점 t259에서는 벽전하를 자기 소거시키는 방전을 발생시키고 있다. 또한, 방전의 시점 t259의 직후에 Y전극에 음전하, A전극에 양전하를 효율적으로 형성시키기 위해 펄스전압( $V_{y60}$ )에 양전압(180v)을 10  $\mu$ sec이상 인가하고 있다. 펄스전압( $V_{x63}$ )을 사용한 경우는 X전극에 벽전하가 형성되지 않도록 양전압(약 50v)을 인가한다(도 12에서는 생략).

어드레스기간의 경우, A전극과 Y전극에는 각각 양전하, 음전하를 형성한 상태에서 Y스캔필스의 펄스전압( $V_y$ )(60)이 인가(40v)되고, 또 도 1에 나타난 표시셀(2) 중에서 Y스캔에서 점등을 위해 선택된 A전극에는 펄스전압( $V_a$ )(61)이 인가(60v)되고, 시점 t362에서 기록방전을 발생시켜 Y전극에 양전하를 형성하고 있다. 기록방전에서 선택된 Y전극상에는 양전하가 형성되고, 선택되지 않은 Y전극상에는 전체 기록시의 음전하가 형성된 상태로 있다. 방전조건은 전체 기록에서 형성된 벽전하(벽전압), 펄스전압( $V_{y60}$ )의 떨어짐에 의한 전압저하분, 및 펄스전압( $V_{a61}$ )의 인가전압에 의해 설정된다.

도 1 내지 도 9에 나타난 면내전극구조에서 A전극과 Y전극의 전극간 갭의 길이를 수십  $\mu$ m정도로 짧게 하고, 대향전극구조의 경우에 비해 펄스전압( $V_{a61}$ )의 시점 t362에서의 펄스폭을 1.0~1.5  $\mu$ sec로 저감하고 있다. 이 결과, 펄스폭에 비례하여 증가하는 어드레스기간의 길이를 감소시키고(어드레스의 고속화), 1서브필드에서의 서스테인기간의 길이를 증가시킨다. 결국, 면내전극구조에 의해 A전극의 기록펄스의 펄스폭을 저감시킬 수 있고, 후술하는 서스테인펄스수를 증가시켜 고휘도화를 실현할 수 있다.

서스테인기간의 경우, 선택된 표시셀의 X, Y전극 사이에서 유지방전발광을 시킨다. X, Y전극에 인가하는 각 펄스전압( $V_{y60}$ ,  $V_{x63}$ )은 서로 부호(+/-)를 반대로 하여 절대치를 동일하게 함으로써 방전현상을 안정화시킴과 동시에 구동회로를 저전압화시키고 있다. 한편, 메탈격벽의 M전극은 제1 펄스에 대해 그랜드접지, 또는 X전극과 동기시켜 동전위로 하여 캐소드전극으로서 구동하여 기록셀에 대한 방전을 발생시키고(Y전극상의 벽전하교환), 제2 펄스이후에 대하여 X, Y전극에 인가하는 펄스전압중 높은 쪽의 펄스전압을 인가하여 애노드전극으로서 구동하고 있다.

도 12에 나타난 펄스전압( $V_{y60}$ ,  $V_{x63}$ )의 절대치는 180v이고, 이 때의 메탈격벽은 펄스전압( $V_{y60}$ ,  $V_{x63}$ )과 동기하여 애노드전극으로서 180v의 펄스전압이 인가되어 있다. 애노드전극의 전위는 구동조건을 적정화함으로써 대폭으로 감소시킬 수도 있다. 이 때문에, 메탈격벽의 M전극은 제2 펄스이후도 포함하여 상시 그랜드접지하여 사용하는 것도 가능하다.

펄스전압( $V_{y60}$ )의 제1 펄스에 정전압(180v)을 인가함으로써, 어드레스기간에서 선택된 표시셀의 Y전극상의 벽전하(양전하)를 사용하여 시점 t464에서 방전발광시키고 있다. 특히, 제2 펄스 이후에 방전을 확실하게 발생시키므로 결국 필요한 벽전하를 X,Y전극에 형성시키기 위해 펄스폭을 10  $\mu$ sec로 하고 있다. 제2 펄스이후는 충분한 벽전하 형성에 의해 펄스폭을 감소시키고 방전발광회수(서스테인펄스수)를 증가시키고, 휘도를 향상시키고 있다.

서스테인기간의 시점 t565의 최종펄스는 펄스전압( $V_{y60}$ ), 펄스전압( $V_{x63}$ )에 대하여 각각 음전압(-180v), 양전압(+180v)이다.

또한, 선택하지 않은 셀의 오방전을 방지할 필요가 있는 경우는 서스테인기간의 초기에 있어서 X전극상에 펄스폭이 짧은(0.5  $\mu$ sec) 양전압(+200v)을 인가하고(도 12의 중의 ( )내에 나타냄), Y전극상에 형성된 음전하를 제거하기 위한 소거방전을 사용한다.

도 1 내지 도 9에 나타난 바와 같이, X, Y전극이 대향전극구조이고, 또 고에스펙트비의 격벽일 경우, X, Y전극 사이의 갭 길이가 증가하지만, 유전체 격벽을 대신하는 메탈격벽에 의해 실효적인 갭 길이를 감소시키고 있다. 제1 펄스의 시점 t464에서의 X, Y전극간에서의 방전 메카니즘을 설명한다.

기록방전에 의해 선택된 표시셀에서, 정전하가 형성되고 또 애노드전극으로서 구동되는 Y전극과, 캐소드전극으로서 구동되는 메탈격벽(M전극)에 의해 예비방전(종화(種火)방전)을 일으켜 셀내에 봉입된 Ne-Xe(5%), 500Torr가스의 전리기체(프라이밍입자)를 발생시키고, 그 직후 X, Y전극간의 주방전으로 이행하여 양광주를 형성한다.

또한, 상기한 바와 같이 메탈격벽과 X, Y전극과의 사이에 형성되는 용량( $Cl_{xm}$ ,  $Cl_{ym}$ )은 인가전압에 대한 방전의 안정성을 확보하기 위해 전극면적, 유전체 두께, 비유전율 등을 조정하여 동일하게 설정하고 있다.

한편, 제1 펄스에서의 방전을 확실하게 일으키기 위해, 용량( $Cl_{ym}$ )과, 용량( $Cl_{xm}$ )에 차이를 두고, 2개의 갭에 인가하는 전압에 편차를 주어 실효적으로 펄스전압( $V_{y60}$ (180v)), 펄스전압( $V_{x63}$ (-180v))으로 이루어지는 서스테인 전압의 저전압화나 어드레스기간에 기록하는 Y전극상의 벽전하(벽전압)의 저감을 행하는 경우도 있다.

소거기간의 경우, 서스테인기간이 종료하는 시점 t565에서 Y, X, 및 A전극상에 형성되어 있는 벽전하를 소거(초기화)한다. 시점 t666에서의 X, Y전극간의 방전은 펄스폭을 짧게 함으로써 방전직후의 전계를 제거하여 벽전하의 형성을 방지하기 때문에, 소거방전의 작용을 하고 있다(세선(細線)소거방식). 동시에, A전극상에 형성되는 벽전하도 중화된다. 특히, A전극에 정전하가 남게 되는 경우는 근접하는 Y, A전극 사이에서 시점 t757에서 소거 방전시킨다.

한편, 남은 벽전하의 소거 중화에 대하여 X, Y전극간의 인가전압을 최소유지전압레벨까지 감소시켜 펄스폭을 길게 하는 방법을 사용하는 경우도 있다(태선(太線)소거방식). 또한, 이들 2개의 소거방식을 동시에 조합시켜 효과적으로 사용하는 경우도 있다.

도 13, 도 14는 본 발명의 또 하나의 실시예이고, 각각 전면기판(67), 메탈 격벽(68), 및 배면기판(69)을 조립한 구조의 평면도, 단면도를 나타낸다. 도 14는 도 13의 D-D'선의 단면도를 나타낸다.

1셀의 영역에 상당하는 표시셀(70)은 동일면내에 공통표시전극의 X전극(71)과 표시전극의 Y전극(72)이 대향 배치된 전면기관(67), Fe-Ni계의 금속박판을 구멍 가공하여 형성된 셀내의 공간의 표면을 산화알루미늄 또는 유리 절연막(73(73-1, 73-2))으로 피복된 메탈 격벽(68) 및 어드레스전극(A전극)(74)을 X전극(71), Y전극(72)과 교차시켜 배치된 배면기관(69)의 3퍼스로 구성되고, X전극(71)과 Y전극(72)의 표시발광방전은 면방전형을 갖는다. 이 때의 메탈격벽(68)은 애노드전극으로 되고 그랜드접지로 했다. 이 때문에, 캐소드전극으로 되는 X, Y전극의 한쪽에는 음의 펄스전압( $V_{sus}(180V)$ )이 인가된다.

X전극(71)과 Y전극(72)은 기호는 생략하고, 투명한 유리기관상에 SiO<sub>2</sub>의 기초막을 형성한 후, ITO막의 투명전극과 Cr/Cu/Cr막의 버스전극(후막전극인 경우도 있다)으로 형성하였다. 또한, 그 위에 유전체층, MgO막이 형성되어 전면기관(67)이 제작된다. 배면기관(69)은 마찬가지로 유리기관상에 SiO<sub>2</sub>의 기초막을 형성한 후, A전극의 Cr/Cu/Cr막을 형성(후막전극인 경우도 있다)하고, 그 위에 유전체층을 형성하였다. 또한, 메탈 격벽(68)은 구멍가공후에 산화알루미늄 또는 유리 절연막(73)을 형성한 2배 이상의 박판(두께:50~70 $\mu$ m정도)을 적층하여 형성하는 경우도 있다. 도면중에 나타나 있지 않지만, 메탈 격벽(68)과 배면기관(69)으로 피복된 표시셀(70)의 내면에는 형광체가 20 $\mu$ m정도의 두께로 형성되어 있다. 형광체의 도포는 배면기관(69)과 메탈 격벽(68)의 조립후 외부에 조립 전에 개별적으로 행할 경우도 있다.

이상과 같이, 유전체격벽을 대신하여 메탈 격벽(68)을 사용함으로써, 고강도의 격벽형성을 용이하게 함과 동시에 실드(shield)효과에 의한 전계 크로스토크나 전하 크로스토크를 방지하였다. 이 때문에, 패널의 셀사이즈를 고정밀화하는데 유리하게 된다. 또한, 메탈 격벽(68)이 A전극(74)과 Y전극(72)의 사이의 실질적인 전극간 갭길이를 감소시키기 위해, 방전개시전압( $V_{oa}$ , a-y)을 저하시키고 어드레스전압을 용이하게 저전압화하였다. 또, 대향전극의 어드레스방전에 있어서, Y전극상에 정전하를 대신하여 음전하(전자)를 형성하는 방법을 사용함으로써 어드레스의 고속화(1 $\mu$ sec정도)도 실현할 수 있었다.

한편, 메탈 격벽(68)을 사용한 3전극구조의 경우, 일반적으로 메탈 격벽(68)을 통한 각 2전극간의 용량증가가 문제로 된다. 본 발명에서는 이것을 방지하기 위해, 메탈 격벽(68)의 양면에 볼록부(75, 76)를 설치한 구조를 사용하고 있다. 이들 볼록부(75, 76)의 배치는 전면기관(67)과 배면기관(69)에 형성된 3전극과 겹치지 않는 접촉부(77, 78)에 설정한다. 또한, 각 전극간의 용량이 유전체격벽과 비교하여 증가하지 않도록 볼록부(75, 76)의 형상치수, 면적을 작게 설정한다. 메탈 격벽(68)은 면방전형의 특성때문에 높이(79)를 100~200 $\mu$ m이내로 하지만, 양면에 형성된 볼록부가 전면기관(67), 배면기관(69)과 겹치는 접촉부(77, 78) 이외의 장소에서는 셀간의 전하 크로스토크나 배기콘덕턴스를 고려하여 5~50 $\mu$ m의 갭을 형성한다. 특히, 표시셀(70)의 긴쪽 방향의 갭 길이(79, 80)를 셀간의 광크로스토크나 전하크로스토크를 방지하기 위해 5~30 $\mu$ m정도로 설정한다. 이 경우의 볼록부(75, 76)는 메탈로 형성되어 있지만, 또 각 전극간의 용량을 저하시킬 필요가 있는 경우는 유전체기둥으로 형성할 수 있다. 이 경우, 유전체기둥은 메탈격벽(68), 또는 전면기관(67)과 배면기관(69)으로 형성된다.

다음에, 도 15는 본 발명의 일 실시예이고, 플라즈마 디스플레이 패널(1)의 표시셀(2)의 길이 사이즈방향의 단면구조를 나타낸다.

플라즈마 디스플레이 패널(1)은 전면기관(3), 배면기관(4) 및 메탈 격벽(5)으로 구성되는 3퍼스구조를 갖는다.

전면기관(3)의 경우, 투명한 유리기관(6)의 위에 투명한 SiO<sub>2</sub>의 기초막(7)과 ITO막의 투명전극(8)이 형성되고, 또 투명전극(8)의 위에 저항율( $\rho$ )이 작은 버스전극(9(9-1, 9-2))이 형성된다. 이 버스전극(9)과 투명전극(8)에서 평면전극을 구성하고, 표시셀(2)의 전극으로서 공통표시전극(X전극)(10)을 형성한다.

버스전극(9)은 불투명한 Ag계 등의 후막도체로 형성되지만, Cr/Cu/Cr의 금속적층막(박막)으로 수 $\mu$ m정도로 형성하는 경우도 있다. 또한, 버스전극(9)에 흑색계의 도체재료를 사용함으로써, 블랙매트릭스를 겸하여 형성하는 경우도 있다. 투명전극(8), 버스전극(9)의 위에는 내압을 확보하고, 또 전하를 축적하기 위한 후막(벽전하나 벽전압을 제어하기 위해 박막을 사용하는 경우도 있다)의 유전체층(11), 2차전자 방출계수가 크고 내 스퍼터성이 우수한 MgO막의 보호층(12)이 차례로 형성된다. 보호층(12)은 프로세스, 및 코스트면에서 후막으로 형성하는 경우도 있다. 또한, 보호층(12)에 음극강화전압( $V_c$ )이 낮은 재료를 사용하는 편이 방전효율(발광효율)의 향상에 대하여 더욱 바람직하다.

배면기관(4)의 경우, 유리기관(13)의 위에 SiO<sub>2</sub>의 기초막(14)을 형성하고, 그 위에 Ag계 등의 후막도체로 이루어지는 어드레스전극(A전극)(15), 후막의 유전체층(16), 또 유전체층(16)과 그 위에 형성된 Ag계 등의 후막도체로 이루어지는 표시전극(Y전극)(17)과의 사이에 Y전극(17)의 기초층으로 이루어지는 또 하나의 유전체층(18)을 라인패턴형상으로 형성하고, 또 이 유전체층(18)이 유전체층(18)의 기초층으로 되는 유전체층(16)에 대하여 피복하지 않은 영역부분(19(19-1, 19-2))을 표시셀(2)의 내부에 남기고 있다. 또한, Y전극(17)의 위에 형성되는 유전체층(20)은 Y전극(17)의 주변부를 피복하고, 또 유전체층(18)의 위에 형성되어 있다.

특히, 유전체층(20)이 유전체층(18) 뿐만 아니라 유전체층(16)의 위에도 형성되는 경우는 유전체층(20)은 유전체층(16)에 대하여 피복하지 않은 영역부분[피복하지 않은 영역부분(19(19-1, 19-2))에 포함된다]을 표시셀(2)의 내부에 남기고 있다. 유전체층(20), 유전체층(18), 또는 유전체층(16)으로 덮여진 배면기관(4)의 표면전체에 MgO막의 보호층(22)이 형성된다. A전극(15), Y전극(17)에 후막도체를 사용함으로써 간이 프로세스, 저코스트화를 실현하고 있지만, Cr/Cu/Cr의 금속적층막을 사용하는 경우도 있다.

Y전극(17)의 근방에 형성된 2개의 유전체층(18, 20)의 구조에 의해 베타층 구조에서는 유전체층(18)과 유전체층(20)의 두께분에 의해 증가되지 않을 수 없었던 A전극(15)과 Y전극(17)과의 사이의 방전개시전압( $V_{oa}$ -y)의 증가분을 제거하고, 또 A전극(15)과 Y전극(17)과의 사이에 삽입된 유전체층(18)의 두께분에 의해 내전압( $V_{do}$ )의 증가와 부하용량( $C_{la}$ -y)의 저감을 실현시키고 있다. 결국, 내전압( $V_{do}$ )의 증가와 부하용량( $C_{la}$ -y)의 저감은 A전극(15)과 Y전극(17)과의 교차부(22)의 면적을 감소시킬 뿐만 아니라 유전체층(18)을 다층구조로 하여 두께를 증가시킴으로써 용이하게 실현한다. 또한, 방전개시전압( $V_{oa}$ -y)의 저감에 대해서는 A전극(15)과 Y전극(17)과의 교차부(23)에서 유전체층(18)의 두께에 의존하는 영향을 제거하고, 또 유전체층(16)과 유전체층(20)과의 두께를 감소시킴으로써 용이하게 실현하고, 전기력선( $E_2$ )을 발생시키는 어드레스 구동전압을 안정 또 대폭으로 저전압화 했다. 이것에 의해, A전극(15)과 Y전극(17)과의 사이의 방전개시전압( $V_{oa}$ -y)을 증가시키지 않고 내전압( $V_{do}$ )의 증가와 부하용량( $C_{la}$ -y)의 저감을 동시에 실현하는 구조를 얻고 있다. 결국, 새롭게 삽입된 유전체층(18)과 새로운 구조를 부가한 유전체층(20)에 의해 방전개시전압( $V_{oa}$ -y)과 내전압( $V_{do}$ ), 및 부하용량( $C_{la}$ -y)에 대한 구조설계의 자유도를 넓힐 수 있었다.

메탈 격벽(5(5-1a, 5-1b, 5-1c, 5-2a, 5-2b, 5-2c))은 열팽창계수를 유리기관(6, 13)에 포함시킨 Fe-Ni계의 박판을 에칭가공 등에 의해 구멍을 뚫고, 표면에 절연성의 산화피막(26(26-1, 26-2))을 형성하고, 3배(a, b, c)의 박판을 적층하여 고에스펙트비의 구멍을 가진 격벽구조를 용이하게 조립하고 있다. 소재인 산화피막(26)을 대신하여 전착에 의해 형성된 유리절연막이나 이온플레이팅법에 의해 형성된 산화알루미늄 피막을 사용하여 절연막의 내전압특성을 향상시키는 경우도 있다.

메탈 격벽(5)에 설치된 구멍의 내측에는 형광체(21(21-1, 21-2))가 거의 균일한 두께로 형성된다. 또한, 고에스펙트비의 격벽구조(전극간격 : 0.5~2.0mm 정도)로부터 형광체 도포면적을 2~5배(면방전형과 비교)로 증가시켜 휘도를 용이하게 향상시키고 있다. 형광체(21)는 배면기판(4)에 메탈 격벽(5)을 접속하기 전에 형성하지만, 접속후에 형성하는 경우도 있다.

표시셀(2)에 설치된 전극수는 메탈 격벽(5)의 공통전극을 제외하면 3전극이고, 배치는 평면전극을 구성하는 X전극(10)과 라인모양의 Y전극(17)이 표면에 절연막을 가지는 메탈 격벽(5)을 통해 대향하고, 또 라인모양의 A전극(15)과 Y전극(17)이 유전체층(16) 등을 통해 직교하고 있다. 메탈 격벽(5)은 표시셀(2)을 형성하기 위해 전면기판(3)과 배면기판(4) 사이에 끼워진 구조를 갖지만, 음극암부에 대한 고전계영역의 형성, 전극간의 배선용량(Clx-y, Cla-y)의 저감, 및 배기컨덕턴스의 확보 때문에 전면기판(3)과 배면기판(4)의 양측에 2개의 갭(24(24-1, 24-1), 25(25-1, 25-2))를 형성하고 있다. 2개의 갭(24(24-1, 24-2), 25(25-1, 25-2))의 크기는 상기한 이유로부터 어느 정도 큰 편이 바람직하지만, 전하크로스토크 등의 발생에 의해 쉬스(sheath)의 두께( $\delta$ ) 정도(수십  $\mu\text{m}$ )로 제한하고 있다. 또한, 갭(24, 25)을 형성하기 위한 메탈 격벽(5)과 전면기판(3), 또는 배면기판(4)과의 접촉부구조는 각각 대향하는 면에 대하여 전면기판(3) 또는 배면기판(4)에 형성된 전극과 겹치지 않는 위치(예컨대, 후술하는 도 18, 도 19에 나타난 표시셀(2)의 4모서리에 배치된 접촉부(32, 33) 등)에 설치된 볼록부이다. 접촉부(32, 33)는 구조상 문제가 없으면 전극간 용량을 감소시키기 위해 표시셀(2)의 4모서리 전체에 배치하지 않아도 된다. 이 볼록부의 형상, 구조는 메탈 격벽(5)의 양면(한쪽면)가공, 또는 전면기판(3), 배면기판(4)의 새로운 유전체층으로 원형, 선모양, 또는 십자모양의 유전체기둥(도시생략)에 의해 형성하고 있다. 특히, 배면기판(4)의 경우는 새로운 유전체층(유전체기둥)을 상기한 유전체층(18, 20)으로 겸용함으로써, 프로세스의 공정수를 저감하는 경우도 있다.

양광주를 형성하기 위해 긴 전극간격(0.5~2.0mm)을 갖게 한 X전극(10)과 Y전극(17)과의 사이의 방전개시전압(Vox-y)은, 고에스펙트비 격벽이라도 메탈 격벽(5)에 의해 실험적으로 감소한다. 이 때문에, 전기력선(EI)에 나타난 바와 같이 전극간격에는 특히 의존하지 않고, 주로 상기한 2개의 갭(24, 25)의 구조에 의해 주어진다. 표시발광방전은 메탈 격벽(5)의 전위(Vm)와 동일한 전위로 설정된 애노드 전극의 표시필스전압(VA)과 캐소드전극의 표시필스전압(VK)에 음의 벽전압을 가한 전압과의 전위차에 의해 발생하고, 2개의 갭(24, 25)의 근방에는 서로 번갈아 음극암부에 필요한 고전계영역을 형성하고 있다.

도 16은 플라즈마 디스플레이 패널(1)의 표시셀(2)의 짧은 사이즈방향의 단면구조를 나타낸다. 메탈 격벽(5(5-3, 5-4))과 전면기판(3), 또는 배면기판(4)과의 사이의 갭(27, 28)은 도 15에 나타난 갭(24, 25)에 대하여 음극암부에 대한 고전계영역의 형성, 전극간의 배선용량의 저감, 및 배기컨덕턴스의 확보로부터 그 크기나 형상에 차이를 가지고 있다. 특히, A전극(15)의 라인방향으로 배기컨덕턴스를 크게 하기 위해, 쉬스의 두께( $\delta$ )를 기초로 갭(24, 25)의 크기를 갭(27, 28)의 2배 정도의 크기로 하였다. 이 때문에, 유전체층(11, 19) 등을 다층패턴으로 형성하였다.

도 17은 플라즈마 디스플레이 패널(1)의 전면기판(3)의 옆에서 본 평면도를 나타낸다.

버스전극(29)의 패턴은 표시셀(2)의 개구부를 결정하고 있는 메탈 격벽(5)의 구멍형상(30)에 맞는 형태로 격자상으로 형성하고, 표시셀(2)의 개구면적에 영향을 주지 않도록 하고 있다. 형광체(21)는 구멍형상(30)의 내측에 형성되어 있고, 표시셀(2)의 긴쪽 방향의 두께를 짧은쪽 방향보다 2배 이상으로 두껍게 하여 휘도, 발광효율을 향상시키고 있다. 평면구조로 형성된 ITO막의 투명전극(8)과 또 격자상에 형성된 버스전극(29)의 구조에 의해 X전극(10)의 전극저항을 감소시켜 소비전력의 대폭적인 저감과 동시에 전극저항에 의한 구동전압의 저하방지(동작마진향상)를 실현하고 있다. 또한, 격자상에 형성되어 있는 버스전극(29)의 폭은 빗살형상의 전극과 다르게 되어 충분히 작아도 X전극(10)의 전극저항을 저감할 수 있다. 이 때문에, 메탈 격벽(5)의 폭에 맞추어 버스전극(29)의 폭을 작게 형성(50~100 $\mu\text{m}$  정도 이하)할 수 있고, 표시셀(2)의 개구율을 3배 이상(면방전형과 비교)으로 향상시키고 있다.

도 18은 플라즈마 디스플레이 패널(1)의 배면기판(4)의 옆에서 본 평면도를 나타낸다. 상기한 도 15, 도 16은 각각 도 18의 A-A'선, B-B'선의 단면도에 상당하고 있다.

A전극(15)과 Y전극(17)과는 메탈 격벽(5)의 구멍형상(30)으로 나타난 표시셀(2)의 중앙부에서 교차부(31)를 형성한다. 또한, 도 15에서 나타난 메탈 격벽(5)과 배면기판(4)과의 접촉부(32)를 A전극(15)과 Y전극(17)이 존재하지 않는 표시셀(2)의 4모서리에 설치하고 있다. 이것에 의해, 메탈 격벽(5)과 A전극(15), 또는 Y전극(17)과의 용량, 결국 부하용량(Clx-y, Cla-y)을 저감하고 있다.

Y전극(17)의 전극폭을 교차부(31)의 근방을 제외하고 구멍형상(30)의 긴쪽 방향으로 넓게 함으로써, 부하용량(배선용량)(Cla-y)을 증가시키지 않고, X전극(10)의 경우와 마찬가지로 Y전극(17)의 전극저항을 감소시켜 소비전력의 저감 등을 실현하고 있다.

교차부(31)의 구조는 A전극(15)과 Y전극(17)과의 사이의 방전개시전압(Voa-y)과 내전압(Vdo)을 결정하고 있다. 도 15의 단면구조와 도 18의 평면구조로부터 유전체층(16)(도 15에 나타냄)의 두께는 방전개시전압(Voa-y)의 감소와 내전압(Vdo)의 증가, 또는 방전개시전압(Voa-y)의 감소와 부하용량(Cla-y)의 저감을 동시에 만족할 수 없다. 이 때문에, 도 15, 도 16에 나타난 새로운 유전체층(18, 20)을 형성하여 이들의 문제를 해결하고 있다.

도 19는 플라즈마 디스플레이 패널(1)의 전극배치를 보여주는 평면도를 나타낸다.

도 15에서 설명한 메탈격벽(5)과 전면기판(3)과의 접촉부(33)를 도 18에 나타난 접촉부(32)과 마찬가지로 A전극(15)과 Y전극(17)이 존재하지 않는 표시셀(2)의 4모서리에 설치하고 있다. 단, 표시셀(2)의 4모서리에 대응하는 투명전극(8)과 파선으로 나타내는 버스전극(29)에 대하여 개구부(34)를 국소적으로 형성하여 메탈격벽(5) 또는 전면기판(3)에 형성된 볼록부가 직접 X전극(10)과 겹치지 않는 구조로 하고 있다. 이것에 의해, 메탈격벽(5)과 X전극과의 용량, 결국 부하용량(Clx-y)을 저감하고 있다.

도 20은 본 발명의 일 실시예이고, 도 15에 나타난 플라즈마 디스플레이 패널(1)의 표시셀(2)내부에서 양광주를 형성한 글로우방전 발생에서의 중심축(Z축)방향(35)의 전위분포(Vi)를 나타낸다. 중심축(Z축)은 도 15, 도 16의 단면구조에 대한 대칭축에 상당하고, 또 전위분포(Vi)의 영역은 X, Y전극 사이의 전극간격(36)이다. 도 21은 도 20의 양광주를 형성한 영역에서의 r축방향(37)의 전위분포(Vi)를 나타낸다. r축은 셀사이즈(도 15, 도 16에 나타난 L×W, L≥W)의 직사각형 형상의 중심을 관(管)중앙(38)으로 하고, 격벽을 향하여 장단(長短) 2축중 한쪽을 의미하지만, 여기에서는 단축의 반반경 r(W/2)(39)을 사용했다.

표시기간의 발광방전시에 있어서, 메탈전위(Vm)(40)와 애노드전위(VA)(41)를 거의 0볼트로, 캐소드전위(VK)(42)를 음의 표시필스전압(Vsus(-180V))(43)으로 설정함으로써, 양광주의 플라즈마전위(Vp44)를 메탈전위(Vm)(40)와 거의 동일한 상태(수십 V 정도 이내)로 할 수 있고, 양광주를 안정 또 효율 좋게 형성하였다.

플라즈마전위(Vp44)를 메탈전위(Vm)(40)와 거의 동일하게 함으로써, 식(1)으로부터 쉬스의 두께( $\delta$ )와 관계하는 부유전위(Vf45)와, 메탈격벽(5)의 유전체막(절연막+형광체층)위에 전자부착에 의해 형성되는 음의 벽전압(Vq46)을 유전체격벽의 경우에 비해 대폭으로 감소시키고 있다.

이것은 양광주에 필요한 등전위영역을 메탈전위(Vm)(40)로 부여함으로써, 축방향의 전계강도(EI)를 완화하는데 좋다. 또한, 캐소드전위(VK)(42)를 절대치가 거의 음극강하전압(Vc48)과 동일한 음의 표시펄스전압(Vsus(-180V))(43)으로 설정하고, 또 음극암부에 애노드전위(VA)와 캐소드전위(VK)에 인가된 표시펄스전압의 전체가 가해지는 것에 의해 효과적으로 고전계영역을 형성하고 있는데 좋다. 여기에서, 메탈전위(Vm)(40)에 벽전압(Vq46)을 가하여 형성되는 메탈격벽의 유전체표면전위(Vw47)는 플라즈마전위(Vp44)를 기준으로 이온쉬스에서 발생하는 부유전위(Vf45)를 통해 벽전압(Vq46)에 의해 바란스되어 있다. 특히, 양광주의 영역에 발생된 부유전위(Vf45)는 전자온도(Te)가 동일하므로 거의 일정치를 갖는 경향을 보인다.

이와 같이 양광주를 형성하는 글로우 방전특성의 지배(유지)조건을 부여함으로써, 여분의 전리에너지가 불필요하게 되므로 방전유지전류(II(전류밀도(J))를 저감할 수 있고, 후술하는 바와 같이 방전효율을 대폭(1수준 이상)으로 향상시켰다. 또한, 방전유지전류(II(전류밀도(J))를 증가시켜도 여분의 전리에너지를 불필요로 하는 효과가 있기 때문에 휘도포화하지 않는 영역에서는 휘도(B)도 동시에 향상했다. 현상적으로는 양광주의 수축현상이나 누적전리의 발생을 억제할 수 있고, 휘도포화(자외선포화)하지 않는 범위에서 필요최소한의 전류밀도가 얻어진다.

메탈격벽(5)은 도 15에 나타난 바와 같이 절연된 박판 3매를 적층한 구조(적층간에 부유용량형성)로 하면 3매중 1매에 외부전위를 부여함으로써 양광주영역의 근소한 전위경사에도 대응된 메탈전위(Vmj(j=a, b, c))를 발생시키고, 도 20에 나타난 박판 1매의 메탈전위(Vm)(40)에 비해 더욱 안정 또 효율 좋은 양광주를 형성할 수 있었다.

여기에서는 메탈전위(Vm)(40)를 외부전위와 부유용량전위의 양쪽으로 부여하고, 양쪽의 전위를 거의 동일한 0볼트(그랜드접지)로 했다. 이것에 의해, 직류전압성분의 영향을 충분히 제거하고, 또 전압동작마진이나 안정도(X, Y전극전위의 안정화)를 향상시켰다. 메탈격벽(5)이 도 15에 나타난 박판 3매를 적층한 구조의 경우는 대칭성을 고려하여 방전의 안정도를 향상시키기 위해 외부전위를 j=b의 중간층의 박판에만 부여했다.

도 24는 본 발명의 일 실시예이고, 상기한 도 15 내지 도 21에 나타난 플라즈마 디스플레이 패널의 구동방식, 구동파형을 부여하는 타이밍차트 도이다.

도 24에 나타난 1서브필드의 기본 파형(약, 1.6~2msec의 기간)은 전체 기록기간, 어드레스기간, 서스테인기간, 및 소거기간의 4개의 기간으로 구성된다.

도 24의 중에서 나타난 원내의 기호: 0, +, -, 는 X, Y, 및 A의 3극상(실제의 전극은, AC방전방식을 위해, 도체전극상에 형성된 유전체의 MgO막이 진(眞) 전극으로 된다)에 방전후 형성되는 벽전하를 나타내고, 각각 벽전하량이 0 또는 무시할 수 있는 경우 양전하가 형성되는 경우, 음전하가 형성되는 경우를 나타낸다.

메탈 격벽(5)의 메탈전위(Vm)(40)는 도 20, 도 21에서 설명한 바와 같이, 양광주를 형성하는 글로우 방전을 안정하게 또 발광효율, 휘도를 향상시키기 위해, 외부전위와 부유용량전위의 양쪽으로 부여하고, 또 양쪽의 전위를 거의 동일하게 0볼트로 했다. 이 때문에, X, Y전극의 구동파형의 직류전압성분은 1서브필드에서 거의 0볼트로 설정된다. 전압동작마진 등의 안정도를 고려하여 1TV필드에서 0볼트로 설정하는 경우도 있다.

또한, 화살표에 붙은 \*표시는 주로 2전극 사이에서 방전을 발생시키는 것을 나타낸다. 3전극상의 벽전하는 1서브필드의 개시시점의 t068과 종료시점의 t769에서 기본적으로 0이다.

글로우 방전 전체의 발광효율( $\eta$ )은 상기한 바와 같이 대향표시전극구조와 고애스펙트비의 메탈격벽구조에 의해 도 20 등에 나타난 전극간격(36)을 길게 함으로써 향상시키고 있다. 그러나, 전극간격(36)이 길게되면 방전지연시간이나 벽전하형성시간의 증가, 편차 등이 발생한다. 그래서, 이들의 문제를 제거하기 위해 서스테인기간의 대향방전에 대해서는 이하에 나타난 전자구동을 중심으로 한 고속구동방법을 사용하고 있다.

도 15에 나타난 선택하는 표시셀(2)의 표시전극(Y전극)군(17)과 트리거전극(어드레스전극, A전극)군(15)과의 사이에서 기록방전을 하고, Y전극(17)의 유전체표면상(실제로는 유전체층의 위에 형성된 MgO막 표면상)에 양의 벽전하를 형성한다.

서스테인기간으로 들어가면 제1번째의 표시발광방전시에 있어서, 메탈격벽(5)과 공동표시전극(X전극)(10), 양의 벽전하를 형성한 Y전극(17)에 각각 표시펄스 전압(VK)(42)(0볼트), 표시펄스전압(VA)(41)(정전압 V년)을 인가하여 캐소드전극, 애노드전극으로 하여 캐소드전극의 메탈격벽(5)과 애노드전극의 Y전극간에서 중화(예비)방전을 발생시키고, 바로 X, Y의 표시전극(캐소드-애노드전극) 사이의 주방전으로 발전시켜 양광주를 형성하는 글로우방전을 얻고 있다. 이때의 펄스폭은 벽전하(벽전압)를 확실하게 형성하기 위해 10 $\mu$ sec정도로 하고 있다.

제2번째 이후의 표시발광방전시에 있어서는 전극간격(36)이 0.5~2.0mm의 경우에 대하여 애노드전극상에는 바로(1 $\mu$ sec정도에서) 충분한 양의 전자가 부착하고, 음전하형성을 중심으로 하는 안정 또 고속인 메모리방전이 얻어지고 있다.

이 서스테인기간중, 메탈격벽(5)의 전위는 그랜드접지되어 있지만, 제1 펄스와 제2 펄스이후에서 각각 캐소드, 애노드전극으로서 구별하여 사용하고 있다. 결국, 제1 펄스에서는 Y전극상에 기록된 정전하를 음전하로 변환하는 동작을 시키고 있다. 제2 펄스이후가 본래의 서스테인기간으로 된다. 어드레스기간에서 Y전극상에 음전하를 기록하는 경우는 제1 펄스는 불필요하게 되고 제2 펄스에서 시작할 수 있다.

이하, 도 24를 기초로 각 기간의 동작을 설명한다.

전체 기록기간의 경우, Y전극과 A전극의 2전극 사이에서 시점 t179과 시점 t271에 있어서 방전을 발생시킨다. 기간종료시점에서는 예컨대, 도 15에 나타난 플라즈마 디스플레이 패널(1)의 전체 영역의 표시셀(2)에 대해서 Y전극과 A전극상에 각각 음전하, 양전하를 형성하였다. 이것은 다음 어드레스기간에서 기록방전을 발생시키는 Y, A전극의 인가전압을 저전압화하기 위해 실시하였다.

방전시점 t170에서의 방전은 전극간의 방전개시전압( $V_{oa-y}$ )을 고려하여 Y전극에 인가하는 펄스전압( $V_{y72}$ )을 양전압(180V)에서 음전압(-180V)으로 변화시켜 교류동작을 시킴으로써, 실효적으로 펄스전압( $V_{y72}$ )을 저전압화하였다. 한쪽의 A전극의 펄스전압( $V_{a73}$ )도 동시에 저전압(60V)화된다. 특히, Y전극, A전극의 펄스전압( $V_{y72}$ ,  $V_{a73}$ )에서 방전조건을 만족할 수 없는 경우는 시점 t170에 있어서 X전극에 펄스전압( $V_{x74}$ )의 양전압(180~250V)을 인가하고[도 24에서는 괄호내에 짧은 펄스로 나타낸다], X-Y전극 사이, 구체적으로는 메탈 격벽(5)의 전극과 Y전극의 사이에서 프라이밍입자를 발생시키는 중화방전을 일으켜 Y, A전극사이의 주방전으로 확실하게 하였다. 이 경우, 메탈 격벽(5)과 X, Y전극과의 사이의 부유용량비를 적정화하고 있다. 또한, 방전개소가 표시셀(2)의 저면이고 표면에서 충분히 떨어져 있기 때문에, 전체기록 기간의 컨트라스트저하로 미치는 영향은 적다.

시점 t170에서 Y전극, A전극상에 벽전하를 안정하게 형성할 수 있는 경우는 바로 어드레스기간에 이행함으로써 어드레스기간에서 형성되는 벽전하의 부호를 반전시킬 수 있다. 이것은 서스테인기간에서 행할 수 있는 Y전극상의 전하교환을 어드레스기간의 앞에 실시하게 되고, 서스테인기간에서 Y전극에 인가하는 제1 펄스를 불필요하게 한다.

초기방전의 시점 t170의 펄스폭을 10~20  $\mu\text{sec}$ 정도로 함으로써, 다음 방전의 시점 t271에서는 벽전하를 자기 소거시키는 방전을 발생시키고 있다. 또한, 방전의 시점 t271의 직후에 Y전극에 음전하, A전극에 양전하를 효율 좋게 형성시키기 때문에, 펄스전압( $V_{y72}$ )에 양전압(180V)을 10  $\mu\text{sec}$ 이상 인가했다.

어드레스기간의 경우, A전극과 Y전극에는 각각 양전하, 음전하를 형성한 형태중에서 Y스캔필스의 펄스전압( $V_{y72}$ )이 인가(40V)되고, 또 도 1에 나타난 표시셀(2)의 중에서 Y스캔에서 점등을 위해 선택된 A전극에는 펄스전압( $V_{a73}$ )이 인가(60V)되고, 시점 t375에서 기록방전을 발생시켜 Y전극에 양전하를 형성했다. 기록방전에서 선택된 Y전극상에는 양전하가 형성되고, 선택되지 않은 Y전극상에는 전체기록시의 음전하가 형성된 형태이다. 이 때, 전체기록에서 형성된 벽전하(벽전압), 펄스전압( $V_{y72}$ )의 저하에 의한 전압저하분, 및 펄스전압( $V_{a73}$ )의 인가전압에 의해 방전조건을 설정하고 있다.

A전극과 Y전극은 대향전극구조의 경우에 비해 도 15, 도 16에 나타난 면내 크로스전극구조이기 때문에 전극간 갭의 길이를 수십  $\mu\text{m}$ 정도로 짧게 할 수 있고, 펄스전압( $V_{a73}$ )의 시점 t375에서의 펄스폭을 2~3  $\mu\text{sec}$ 에서 1~1.5  $\mu\text{sec}$ 의 반으로 저감했다. 이 결과, 펄스폭에 비례하여 증가하는 어드레스기간의 길이를 감소시키고(어드레스의 고속화), 1서브필드에서의 서스테인기간의 길이, 결국 발광유효를 2배정도 이상으로 증가시키고 있다. 결국, 면내크로스전극구조에 의해 기록펄스의 펄스폭을 저감하고, 이 저감분에 의해 후술하는 서스테인펄스수를 증가시켜서 휘도를 향상시켰다.

서스테인기간의 경우, 선택된 표시셀에서 제1 펄스에 의한 전하교환을 행한 후, 제2 펄스이후에서는 X, Y전극간에서의 유지방전발광을 시키고 있다. 도 20, 도 21에서 나타난 바와 같이, X, Y전극중 한쪽을 메탈격벽(5)과 동전위의 애노드전극, 다른쪽을 캐소드전극으로 하는 2개의 표시필스전압( $V_A$ ,  $V_K$ )을 사용하고, 각각 0볼트와 음의 서스테인전압( $V_{sus}(-180V)$ )으로 설정하고 양광주를 형성한 글로우 방전을 안정 또 효율 좋게 발생시키고 있다. 구체적으로는 펄스전압( $V_{y72}$ )의 제1 펄스에 표시필스전압( $V_A$ )으로서 양의 서스테인전압( $V_{sus}(180V)$ ), 펄스전압( $V_{x74}$ )의 제1펄스와 메탈격벽(5)에 표시필스전압( $V_K$ )으로서 0볼트를 사용함으로써, 시점 t476에서 먼저 전계집중이 일어나는 메탈격벽(5)과 애노드전극(Y전극)의 사이에서 예비방전(중화방전)을 일으켜 셀내에 봉입된 Ne-Xe 5% 400~500Torr가스의 전리기체(프라이밍입자)를 발생시키고, 그 직후 표시전극인 X, Y전극간의 주방전으로 이행시켜 양광주를 형성시켰다.

제1 펄스의 시점 t476에서의 방전을 확실하게 발생시키기 위해 펄스폭을 특히 6~10  $\mu\text{sec}$ 로 크게 하였다. 제2 펄스이후는 방전발광회수(서스테인펄스수)를 증가시키기 위해 음전하형성을 중심으로 한 고속메모리방전에 의해 펄스폭을 감소시켜 발광유효를 향상시켰다. 서스테인기간의 시점 t577의 최종펄스는 펄스전압( $V_{y72}$ ), 펄스전압( $V_{x74}$ )이 각각 0볼트와 음의 서스테인전압( $V_{sus}(-180V)$ )이다. 또한, 선택하지 않은 셀의 오방전을 방지하기 위해, 서스테인기간의 초기에 X전극상에 펄스폭이 짧은(0.5  $\mu\text{sec}$ ) 양전압(+180V)을 인가하고, Y전극상에 형성된 음전하를 제거하기 위한 소거방전을 사용하는 경우도 있다.

소거기간의 경우, 서스테인기간이 종료하는 시점 t577에서 Y, X, 및 A전극상에 형성되어 있는 벽전하를 소거(초기화)한다. 시점 t678에서의 X, Y전극간의 펄스폭이 짧은 방전은 방전직후의 전계를 제거하여 벽전하의 형성을 방지시켜 소거방전을 하고 있다(세션소거방식). 마찬가지로, A전극상에 형성되는 벽전하도 중화된다. 특히, A전극에 양전하가 남은 경우는 근접하는 Y, A전극간에서 시점 t769에 소거 방전시킨다.

한편, 남은 벽전하의 소거 중화에 대하여 X, Y전극간의 인가전압을 최소유지전압레벨까지 감소시키고 펄스폭을 길게 하는 방법을 사용하는 경우도 있다(대선 소거방식). 또한, 이들 2개의 소거방식을 동시에 조합하여 효과적으로 사용하는 경우도 있다.

도 25는 본 발명의 일실시예이고, 전류밀도비( $J_i/J_o$ )와 발광효율비( $\eta_i/\eta_o$ )의 관계, 및 전류밀도비( $J_i/J_o$ )와 휘도비( $B_i/B_o$ )의 관계를 나타내는 플라스마 디스플레이 패널(1)의 특성도이다.

횡축에는 전류밀도비( $J_i/J_o$ )를, 종축에는 발광효율비( $\eta_i/\eta_o$ )와 휘도비( $B_i/B_o$ )를 각각 대수(對數)로 나타낸다. 발광효율비( $\eta_i/\eta_o$ ), 휘도비( $B_i/B_o$ )는 도 20, 도 21에 나타난 본 발명의 실시예에 의해 각각 특성 79 내지 특성 80, 특성 81 내지 특성 82로 동시에 대폭으로 증가했다.

특성 79, 특성 81은 상기한 도 22, 도 23의 경우이고, 셀사이즈 : 0.03cm 정도의 미세한 표시셀로 되면 격벽표면(형광체포함)에 하전입자가 부착하기 쉽고 양광주를 유지하기 위한 전류밀도(방전유지전류)를 증가시킬 필요가 있어 최소치( $J_{min}/J_o$ )가 존재하였다. 특성 79, 특성 81상의 검정 표시 ■84, 검정표시 ●85는 유전체격벽을 사용한 경우의 한계치를 나타낸다. 휘도(B)와 발광효율( $\eta$ )은 양립하지 않고, 고휘도화를 위해서는 반대로 발광효율( $\eta$ )을 희생으로 할 필요가 있었다.

본 발명에서는 상기한 바와 같이 글로우 방전특성의 지배조건을 만족시키는 전극구조, 전계강도(전위)분포를 형성함으로써, 특성 80, 특성 82를 얻음과 동시에 전류밀도도 약 1수준 감소시켜 새로운 최소치  $J'_{min}/J_o$ 86을 얻고 있다. 특성 80, 특성82에 의해 특성 80, 특성 82상의 흰표시 □87, 흰표시 ○88이 나타난 바와 같이 발광효율( $\eta$ )과 휘도(B)를 동시에 향상시킬 수 있었다.

또한, 최소치  $J_{min}/J_o$ 83과  $J'_{min}/J_o$ 86의 사이에서는 지금까지 곤란했던 전류밀도(J)를 감소시켜 발광효율( $\eta$ )을 대폭으로 향상할 수 있었다. 새로운 최소치  $J'_{min}/J_o$ 86에서는 특성 80, 특성 82상의 흰색 □89, 흰색 ○90이 나타난 바와 같이 휘도(B)는 어느 정도 감소하지만, 발광효율( $\eta$ )을 대폭으로 향상할 수 있었다. 이것에 의해 서스테인펄스수를 증가시켜 발광유효를 증가시켜도 소비전력의 증가비율이 작기 때문에, 휘도(B)를 대폭으로 향상시킬 수 있었다. 결국, 지금까지에 비해, 고발광효율, 고휘도를 대폭 또 용이하게 달성할 수 있었다.



## 발명의 효과

이상, 설명해온 바와 같이, 본 발명은 AC형 플라즈마 디스플레이 패널에 있어서, 양광주를 사용한 글로우방전의 유지조건에 착안하여 음극암부의 고전계영역과 양광주의 등전위영역을 효율 좋게 형성하고, 셀고유의 전류전압특성(I-V 특성)을 저전류, 저전압화하는 기본적인 원리에 기초하여 발광효율, 휘도를 향상시키고 있다.

- (1) 이 원리는 DC형 플라즈마디스플레이패널의 경우에도 적용할 수 있다. 또, 플라즈마디스플레이 패널 이외에도 글로우 방전으로 양광주를 발생시키는 전자기기, 예컨대 액정표시, 장치의 백라이트에 대하여도 적용할 수 있고, 방전효율(자외선발생효율)을 향상시킬 수 있다.
- (2) AC형 구동에 의해 표시전극상에 벽전압을 형성함으로써, 셀고유의 I-V 특성을 저전압화하여 외관상 방전개시시의 음극강하전압( $V_c$ )을 저하시키고, 방전효율 즉 발광효율을 향상시킬 수 있다.
- (3) 대향표시전극과 메탈격벽에 의해 양광주형성에 필요한 고에스팩트비 형상의 격벽을 형성하고, 개구율과 형광체 도포면적을 향상시키고 발광효율을 향상시킬 수 있다.
- (4) 표면을 절연층으로 덮은 메탈격벽에 바이어스전압을 인가하여 음의 벽전압을 형성하고, 하전입자의 격벽확산(에너지손실)을 억제시키고, 방전효율 즉 발광효율을 향상시킬 수 있다.
- (5) 또한, 격벽확산(에너지손실)의 억제에 의해 방전유지전류를 감소시키고 I-V 특성의 저전류영역을 확대함으로써, 부하직선(부하저항, 전류제한저항)을 사용하여 자외선포화가 없는 저전류영역에서 방전을 안정하게 유지할 수 있고, 방전효율을 최대화 즉 발광효율을 최대화할 수 있다.
- (6) 표시발광방전시의 애노드전극, 캐소드전극에 대하여 메탈격벽을 애노드전극으로 함으로써, 양광주를 사용한 글로우방전의 유지조건인 음극암부의 고전계영역과 양광주의 등전위영역을 효율 좋게 형성할 수 있고, 방전효율 즉 발광효율을 향상시킬 수 있다.
- (7) 또한, 메탈격벽을 애노드전극으로 하는 AC형 구동에 의해 긴 갭길이의 표시전극 사이에서 음의 벽전압을 고속으로 형성하는 전자이동형의 메모리방전으로 할 수 있고, 일정한 발광유틸에 대하여 표시발광필수율을 증가시키고 휘도를 증가시킬 수 있다.
- (8) 애노드전극의 메탈격벽에 직류바이어스전압을 인가함으로써, 표시발광방전시의 반복방전으로 메탈격벽의 표면절연층에 형성된 벽전압을 소실시키지 않고 또는 재형성이 불필요하게 할 수 있기 때문에 방전효율 즉 발광효율을 향상시킬 수 있다.
- (9) 표시발광시의 애노드전극, 캐소드전극을 각각 그랜드접지전위, 음펄스전압으로 함으로써, 표시전극전위가 교체되더라도 메탈격벽을 접지전위로 유지할 수 있기 때문에 패널내부에 그랜드플레인을 형성할 수 있고 메탈격벽의 구동회로를 불필요하게 할 수 있다. 결국, 실질적으로 3전극구동방식의 패널로 할 수 있다.
- (10) 또한, 패널내부의 그랜드플레인형성에 의해 패널전극간의 부유용량이 감소하기 때문에 그랜드전위나 전원전위를 안정화시키고 오동작을 감소하고(동작마진의 향상), 근방자계, 근방전계를 감소시켜서 불필요하게 전자복사(EMI)를 억제할 수 있다.
- (11) 어드레스, Y스캔에 대하여 크로스전극구조에 의한 면내의 짧은 갭길이를 형성하여 기록시간을 저감(어드레스의 고속화)을 형성함으로써 전계집중을 발생시키고 방전개시전압( $V_o$ )을 감소시킬 수 있다.
- (12) 긴 갭길이를 형성한 대향표시전극간에 표면을 절연한 메탈격벽을 삽입배치하여 그들의 사이에 미소공간갭(수십미크론)을 형성함으로써 전계집중을 발생시키고, 방전개시전압( $V_o$ )을 감소시킬 수 있다.
- (13) 메탈격벽과 전면기판 또는/및 배면기판과의 접촉면적을 유전체기둥 등에 의한 볼록부를 사용하여 저감한다. 또는 이 볼록부를 전극부와 교차하지 않는 곳에 배치하는 것에 의해 표시전극간의 부하용량을 줄여 소비전력을 저감할 수 있다.
- (14) 배면기판의 크로스전극구조에 있어서, 전극간 크로스부에 국부적으로 유전체층을 삽입하여 방전개시전압( $V_o$ )을 상승시키지 않고 내압향상, 부하용량저감을 실현할 수 있다.

## (57) 청구의 범위

### 청구항 1.

복수개의 어드레스전극과 상기 어드레스전극과 교차하도록 배치된 복수개의 제1 표시전극을 가지는 배면기판과, 상기 복수개의 제1 표시전극에 대향하여 배치된 복수개의 제2 표시전극을 가지는 전면기판과, 상기 전면기판과 상기 배면기판과의 사이에 배치된 격벽을 적어도 구비한 것을 특징으로 하는 플라즈마 디스플레이 패널.

### 청구항 2.

제 1 항에 있어서,

상기 제2 표시전극이 하나의 평판전극으로 형성된 투명전극과, 상기 투명전극상에 형성된 버스전극을 가지는 것을 특징으로 하는 플라즈마 디스플레이 패널.

### 청구항 3.

제 2 항에 있어서,

상기 격벽을 어드레스 전극과 상기 제1 표시전극이 교차된 영역을 적어도 둘러싸도록 격자모양으로 형성된 것을 특징으로 하는 플라즈마 디스플레이 패널.

### 청구항 4.

제 3 항에 있어서,



상기 버스전극을 상기 격자모양으로 형성된 격벽과 겹쳐지도록 격자모양으로 형성된 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 5.

제 1 항에 있어서,

상기 격벽을, 표면을 절연한 메탈격벽으로 한 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 6.

제 5 항에 있어서,

상기 메탈격벽을, 복수의 메탈판을 적층하여 형성한 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 7.

제 1 항에 있어서,

상기 제2 표시전극과, 상기 어드레스전극을 사용하여 어드레스된 상기 제1 표시전극과의 사이에서 양광주(陽光柱)를 형성하여 방전시키도록 한 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 8.

구동회로계에 접속되는 전극을 가지는 전면기판과 배면기판, 및 이들의 사이에 끼워지는 격벽에 의해 주위를 둘러싸는 다수개의 표시셀을 형성한 플라즈마 디스플레이 패널에 있어서,

상기 격벽을 표면을 절연한 하나의 쉬트(sheet)모양금속판, 또는 표면을 절연한 복수의 쉬트모양 금속판을 겹쳐서 형성하고, 상기 격벽의 적어도 하나의 쉬트모양 금속판을 상기 구동회로계에 접속한 구조를 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 9.

구동회로계에 접속되는 전극을 가지는 전면기판과 배면기판, 및 이들 사이에 끼워지는 격벽에 의해 주위가 둘러싸여진 복수개의 표시셀을 형성한 플라즈마 디스플레이 패널에 있어서,

상기 격벽이 상기 전면기판 또는 상기 배면기판과 대향하는 면에 대하여 복수의 볼록부를 형성하고, 상기 볼록부가 상기 전면기판 또는 상기 배면기판에 형성된 상기 전극과 겹쳐지지 않도록 배치된 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 10.

구동회로계에 접속되는 전극을 가지는 전면기판과 배면기판, 및 이들 사이에 끼워지는 격벽에 의해 주위가 둘러싸여진 복수개의 표시셀을 형성한 플라즈마 디스플레이 패널에 있어서,

상기 전면기판 또는 상기 배면기판이 상기 격벽과 대향하는 면에 대하여 복수의 볼록부를 형성하고, 상기 볼록부가 상기 전면기판 또는 상기 배면기판에 형성된 상기 전극과 겹쳐지지 않도록 배치된 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 11.

제 9 항 내지 제 10 항중 어느 한 항에 있어서,

상기 전면기판에 하나의 평면전극을 상기 복수개의 표시셀의 공통표시전극으로서 형성한 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 12.

제 9 항에 있어서,

상기 전면기판에, 하나의 평면전극을 상기 복수개의 표시셀의 공통표시전극으로서 형성하고, 상기 격벽의 상기 볼록부가 겹쳐지지 않도록 상기 평면전극에 국부적인 개구부를 설치한 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 13.

제 10 항에 있어서,

상기 전면기판에, 하나의 평면전극을 상기 복수개의 표시셀의 공통표시전극으로서 형성하고, 상기 전면기판의 상기 볼록부가 겹쳐지지 않도록 상기 평면전극에 국부적인 개구부를 설치한 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 14.

제 9 항에 있어서,

상기 격벽에 형성된 상기 볼록부가 유전체, 또는 상기 격벽재료로 형성된 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 15.

제 10 항에 있어서,

상기 전면기판 또는 상기 배면기판에 형성된 상기 볼록부가 유전체 패턴으로 형성된 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 16.

제 8 항에 있어서,

상기 배면기판에 복수의 라인모양전극으로 이루어지는 표시전극군과 어드레스전극군을 서로 교차시키고, 상기 표시셀에 상기 교차부를 대응시켜 배치한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 17.**

제 16 항에 있어서,

상기 배면기판이 제1 절연층, 상기 어드레스전극군, 제2 절연층, 상기 표시전극군, 및 제3 절연층의 순서로 적층되어 형성된 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 18.**

제 17 항에 있어서,

상기 제3 절연층이 상기 표시전극군의 주변을 피복하고, 상기 제2 절연층을 피복하지 않은 부분을 상기 표시셀에 대응시켜서 형성한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 19.**

제 17 항에 있어서,

상기 제2 절연층과 상기 표시전극군의 사이에 상기 표시전극군을 형성하기 위한 제4 절연층을 단층 또는 다층구성으로 형성하고, 상기 제4 절연층이 상기 제4 절연층의 기초층으로 되는 제2 절연층에 대하여 피복하지 않은 부분을 상기 표시셀에 대응시켜 형성한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 20.**

제 17 항에 있어서,

상기 제2 절연층과 상기 표시전극군의 사이에 상기 표시전극군을 형성하기 위한 제4 절연층을 단층 또는 다층구성으로 형성하고, 상기 제4 절연층이 상기 제4 절연층의 기초층으로 되는 제2 절연층에 대하여 피복하지 않은 부분을 상기 표시셀에 대응시켜 형성하고, 또 상기 제3 절연층이 상기 표시전극군의 주변을 피복하여 상기 제2 절연층을 피복하지 않은 부분을 상기 표시셀에 대응시켜 형성한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 21.**

제 8 항에 있어서,

상기 전면기판에 하나의 평면전극을 상기 복수개의 표시셀의 공통표시전극으로서 형성하고, 상기 배면기판에 복수의 라인모양 전극으로 이루어지는 표시전극군과 어드레스전극군을 서로 교차시켜 상기 표시셀과 상기 교차부를 대응시켜 형성한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 22.**

청구항 1에 기재된 플라즈마 디스플레이 패널과,

상기 플라즈마 디스플레이 패널에 소망하는 구동파형을 공급하는 구동회로를 구비한 것을 특징으로 하는 화상표시장치.

**청구항 23.**

제 5 항에 있어서,

표시발광방전시에 있어서, 상기 제1 표시전극과 상기 제2 표시전극과의 사이에서 발생하는 글로우방전의 양광주부에 상기 메탈격벽의 메탈전위(Vm)와 상기 메탈격벽의 표면에 형성되는 벽전압(Vq)을 사용하여 등전위영역을 형성한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 24.**

제 23 항에 있어서,

상기 제1 표시전극과 상기 제2 표시전극중 애노드전극으로 되는 한쪽의 전극에 인가되는 표시필스전압(VA)을 상기 메탈전위(Vm)와 거의 동일하게 한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 25.**

제 24 항에 있어서,

상기 애노드전극에 인가되는 상기 표시필스전압(VA)과 상기 메탈전위(Vm)를 거의 0볼트로 하고, 상기 제1 표시전극과 상기 제2 표시전극중 캐소드전극으로 되는 다른쪽의 전극에 인가되는 표시필스전압(VK)을 음의 표시필스전압(Vsus)으로 한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 26.**

제 24 항 내지 제 25 항중 어느 한 항에 있어서,

상기 메탈전위(Vm)를, 상기 구동회로계가 가지는 직류바이어스전압을 공급하는 단자에 접속하여 외부전위로 부여한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 27.**

제 24 항 내지 제 25 항중 어느 한 항에 있어서,

상기 메탈전위(Vm)를 상기 제1 표시전극, 상기 제2 표시전극 및 상기 메탈격벽으로 형성된 용량분포와, 상기 제1 표시전극과 상기 제2 표시전극에 인가하는 구동 파형의 직류전압성분에 의한 부유용량전위로 부여하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 28.**

제 27 항에 있어서,

상기 제1 표시전극과 상기 제2 표시전극에 인가하는 구동파형의 직류전압성분을 거의 동일하게 하고, 상기 메탈전위(Vm)를 상기 직류전압성분으로 부여하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 29.**

제 27 항에 있어서,

상기 메탈전위(Vm)를 거의 0볼트의 상기 직류전압성분으로 부여한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 30.**

제 27 항에 있어서,

상기 제1 표시전극과 상기 제2 표시전극에 인가하는 구동파형의 직류전압성분을 서브필드단위로 거의 동일하게 하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 31.**

제 23 항에 있어서,

상기 메탈전위(Vm)를, 상기 구동회로계가 가지는 직류바이어스전압을 공급하는 단자에 접속된 외부전위와, 상기 플라즈마 디스플레이 패널의 전체영역에서 상기 제1 표시전극, 상기 제2 표시전극 및 상기 메탈격벽으로 형성된 용량분포와 상기 제1 표시전극과 상기 제2 표시전극에 인가하는 구동파형의 직류전압성분에 의한 부유용량전위로 부여하고, 상기 외부전위와 상기 부유용량전위를 거의 동일하게 설정한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 32.**

제 2 항 또는 제 25 항에 있어서,

상기 메탈전위(Vm)를, 상기 구동회로계가 가지는 직류바이어스전압을 공급하는 단자에 전류제한저항을 직렬 접속하여 외부전위로 부여한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 33.**

제 24 항 내지 제 25 항중 어느 한 항에 있어서,

상기 제1 표시전극 또는/및 상기 제2 표시전극과 상기 구동회로계와의 사이에 전류제한저항을 삽입하여 구동한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 34.**

제 24 항 내지 제 25 항중 어느 한 항에 있어서,

상기 제1 표시전극 또는/및 상기 제2 표시전극, 및 상기 메탈격벽과 상기 구동회로계와의 사이에 각각 전류제한저항을 삽입한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 35.**

제 34 항에 있어서,

상기 표시셀의 방전유지전류가 상기 표시셀내의 상기 제1 표시전극과 상기 제2 표시전극과의 사이에 흐르도록 상기 전류제한저항을 형성한 것을 특징으로 하는 플라즈마 디스플레이 패널.

**청구항 36.**

표면을 절연한 제1 전극을 가지는 기판 1과 상기 제1 전극에 대하여 배치된 표면을 절연한 제2 전극을 가지는 기판 2와, 상기 기판 1과 상기 기판 2와의 사이에 배치된 표면을 절연한 메탈격벽을 적어도 구비한 방전공간을 사용하고, 상기 제1 전극과 상기 제2 전극과의 사이에서 글로우방전을 발생시키고 적어도 양광극을 형성시킨 것을 특징으로 하는 전자장치.

**청구항 37.**

제 36 항에 있어서,

상기 제1 전극과 상기 제2 전극중 애노드전극으로 되는 한쪽의 전극에 인가되는 전압을 상기 메탈격벽에도 인가하여 애노드전극으로 한 것을 특징으로 하는 전자장치.

**청구항 38.**

제 37 항에 있어서,

애노드전극에 거의 0볼트, 캐소드전극에 음전압을 각각 인가하여 구동한 것을 특징으로 하는 전자장치.

**청구항 39.**

제 38 항에 있어서,

상기 제1 전극, 상기 제2 전극, 및 상기 메탈격벽과 구동회로계와의 사이에 각각 전류제한저항을 삽입한 것을 특징으로 하는 전자장치.

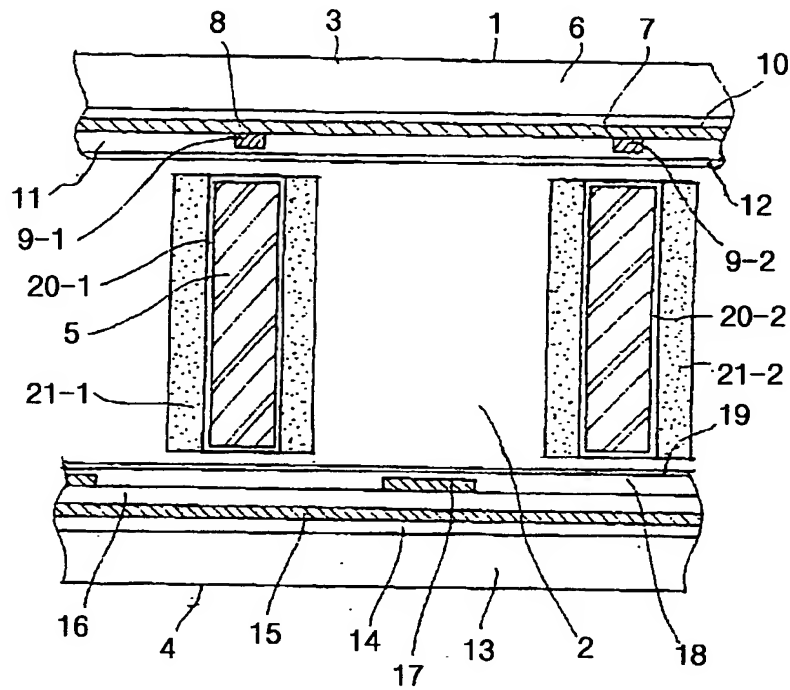
청구항 40.

제 39 항에 있어서,

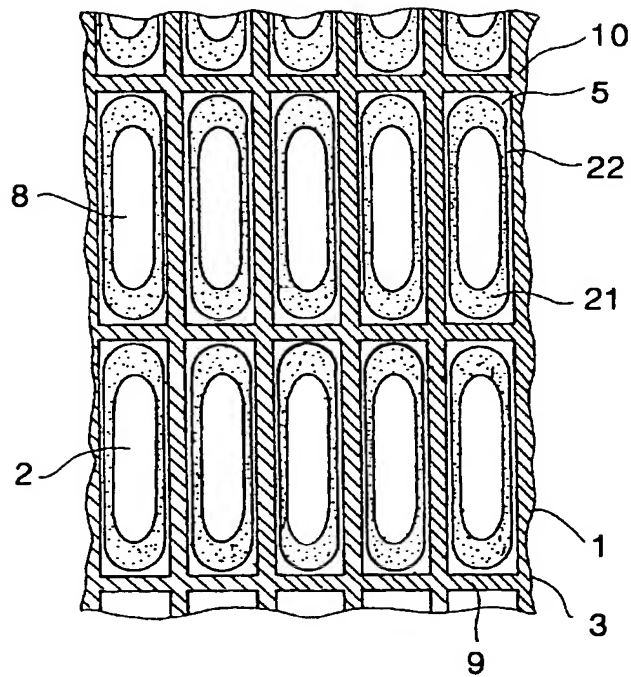
방전유지전류가 상기 제1 전극과 상기 제2 전극과의 사이에 흐르도록 상기 전류제한저항을 형성한 것을 특징으로 하는 전자장치.

도면

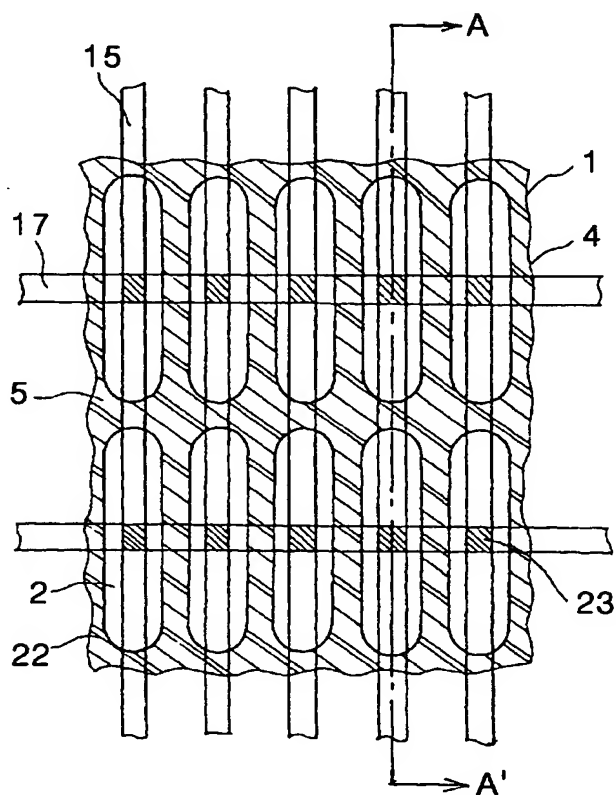
도면 1



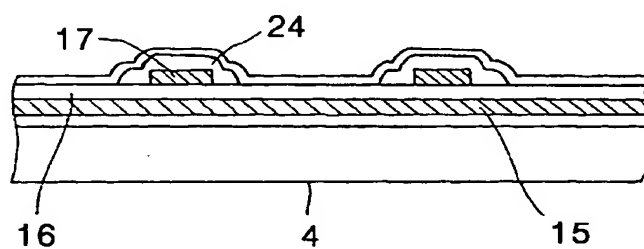
도면 2



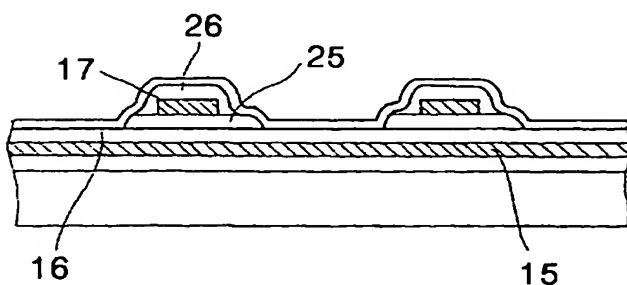
도면 3



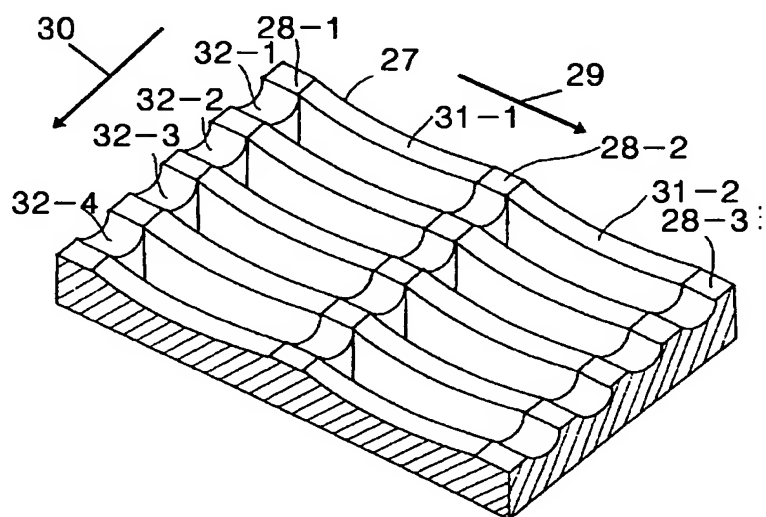
도면 4



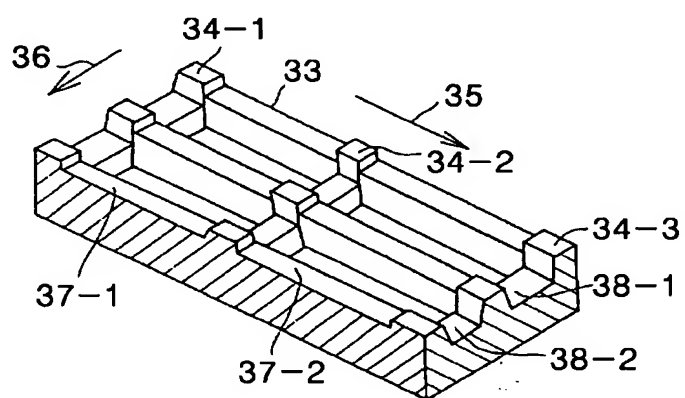
도면 5



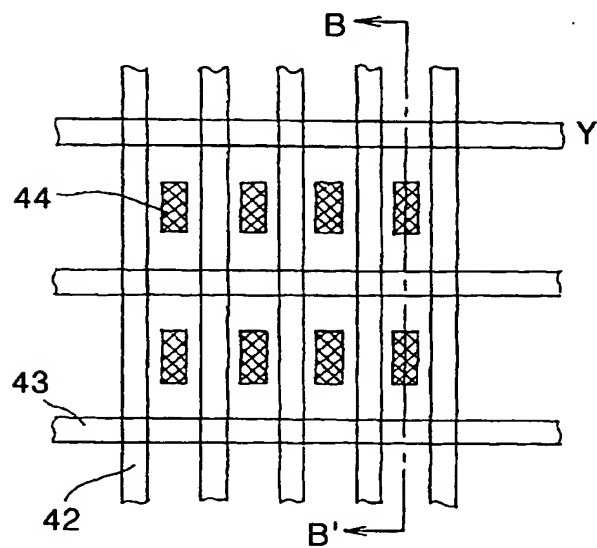
도면 6



도면 7

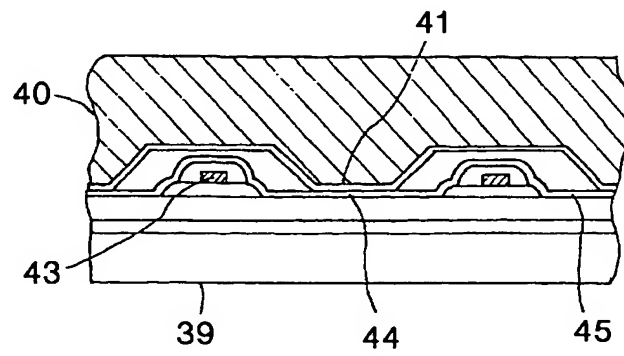


도면 8

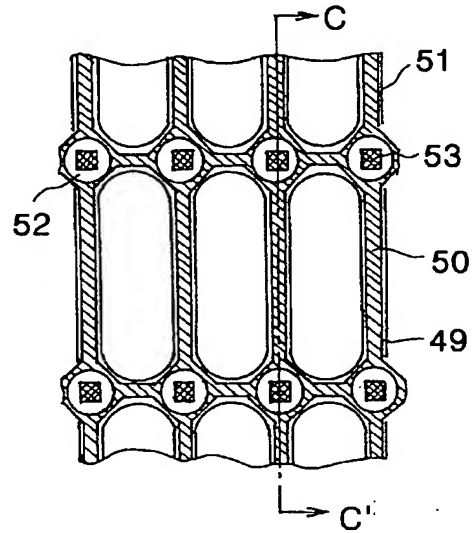




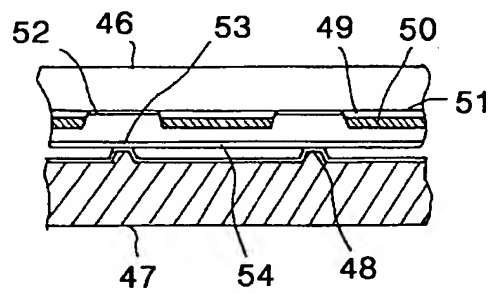
도면 9



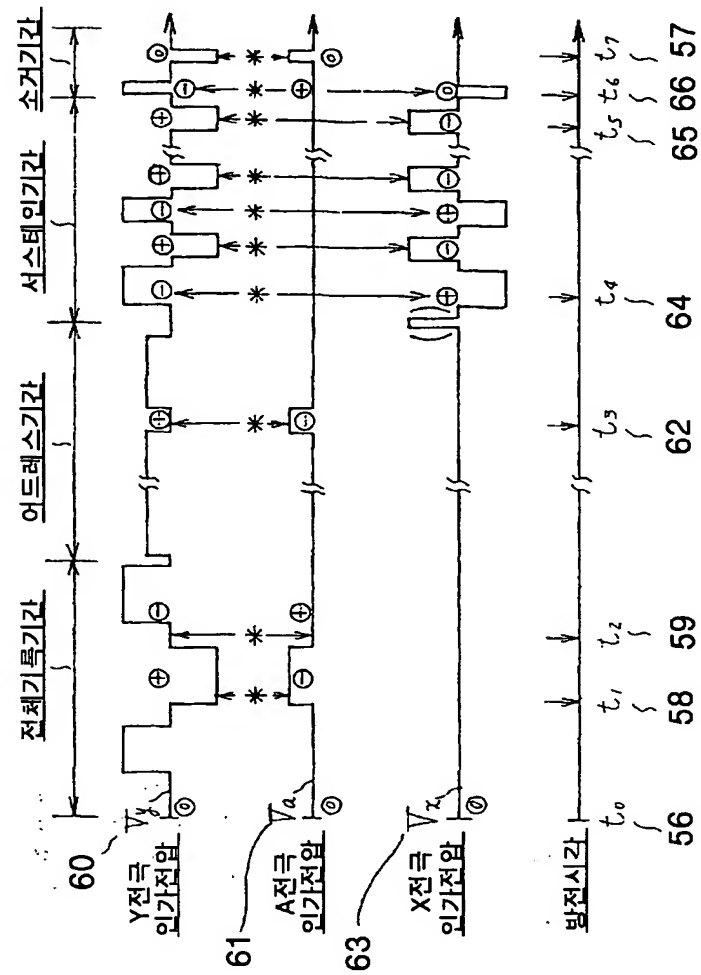
도면 10



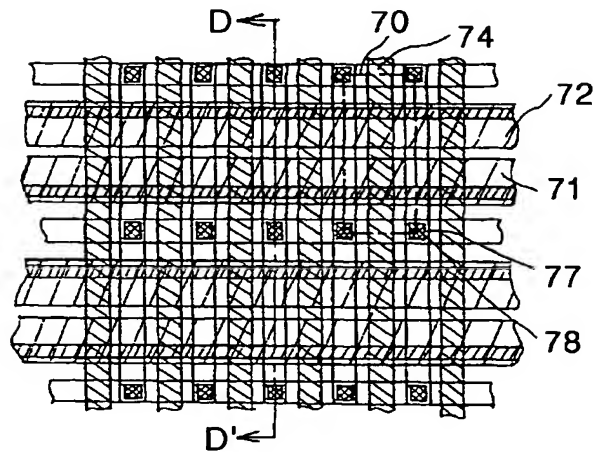
도면 11



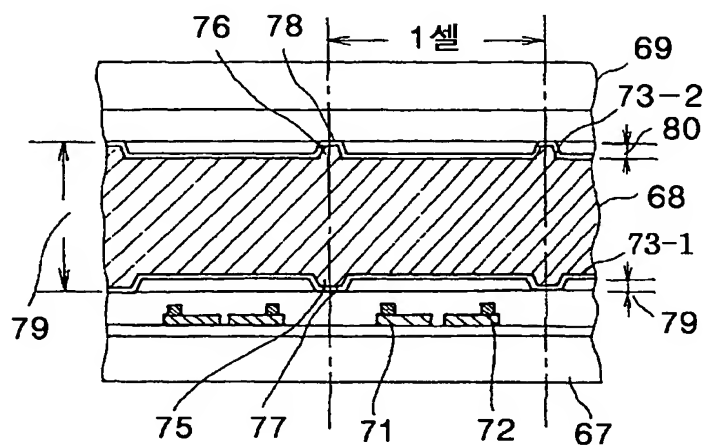
도면 12



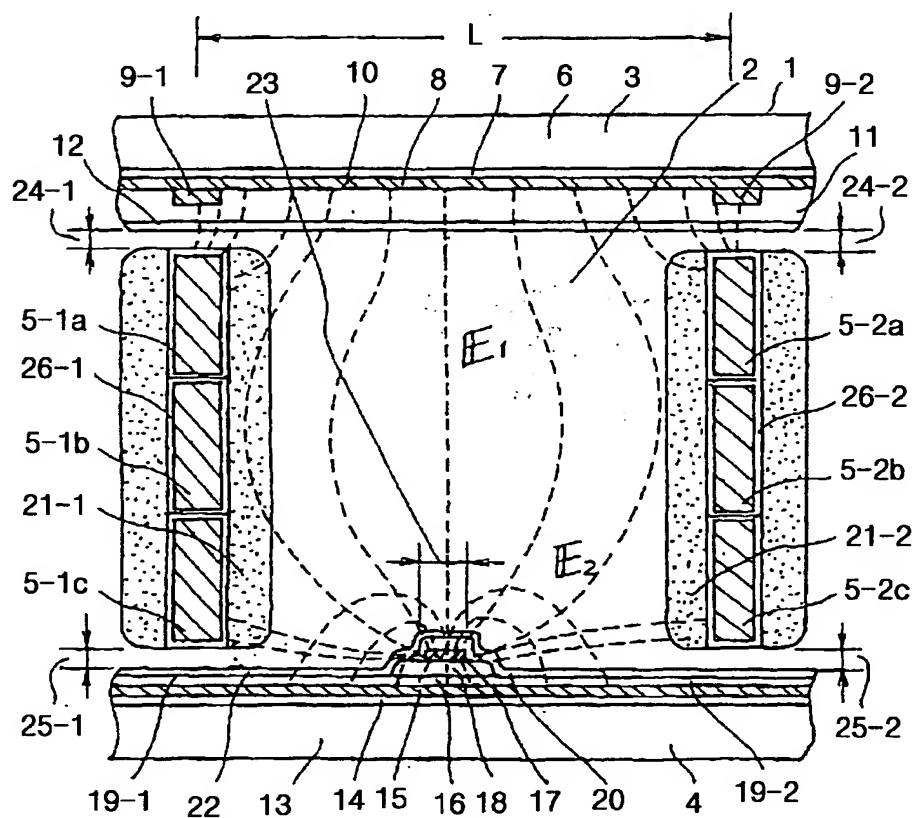
도면 13



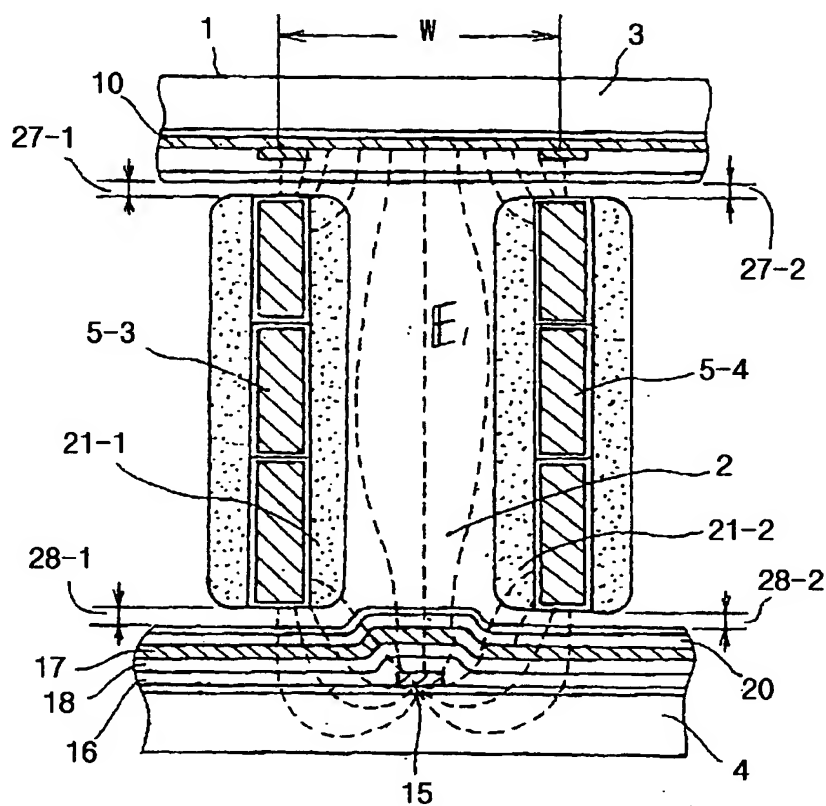
도면 14



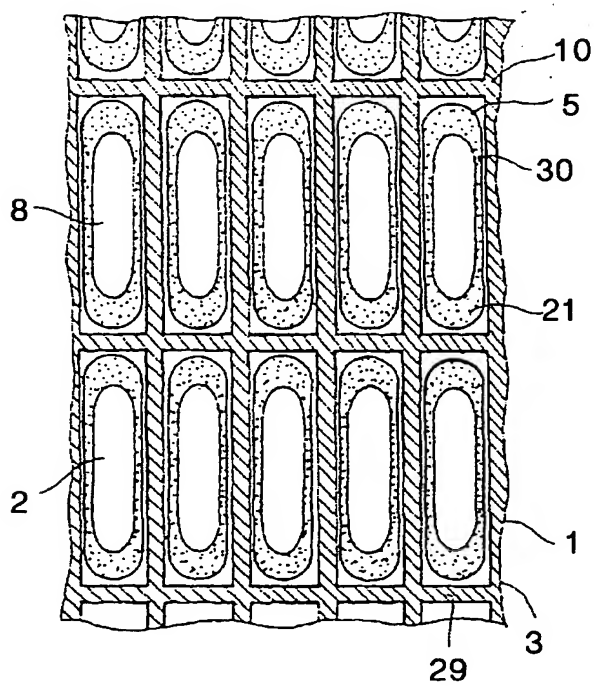
도면 15



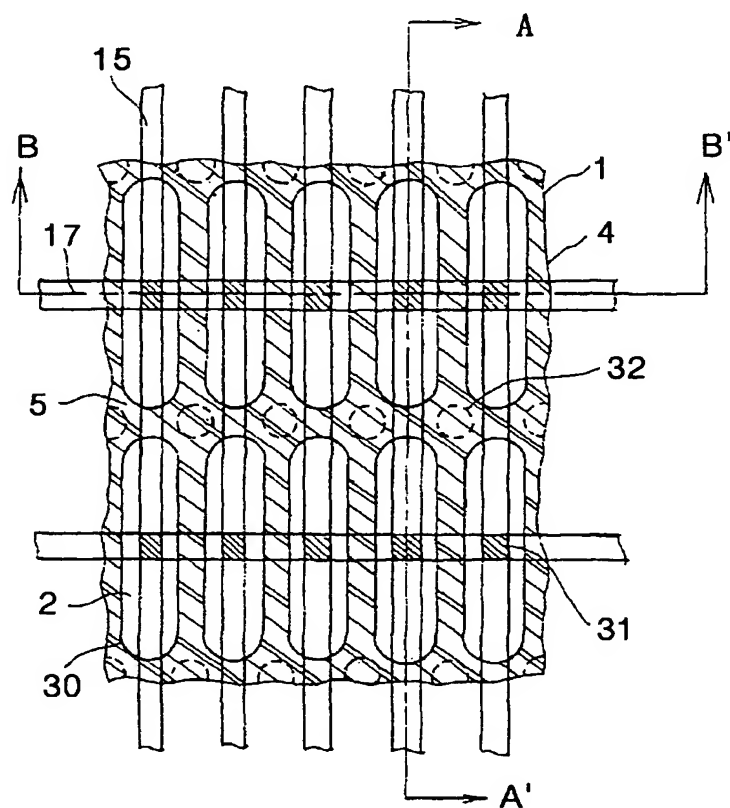
도면 16



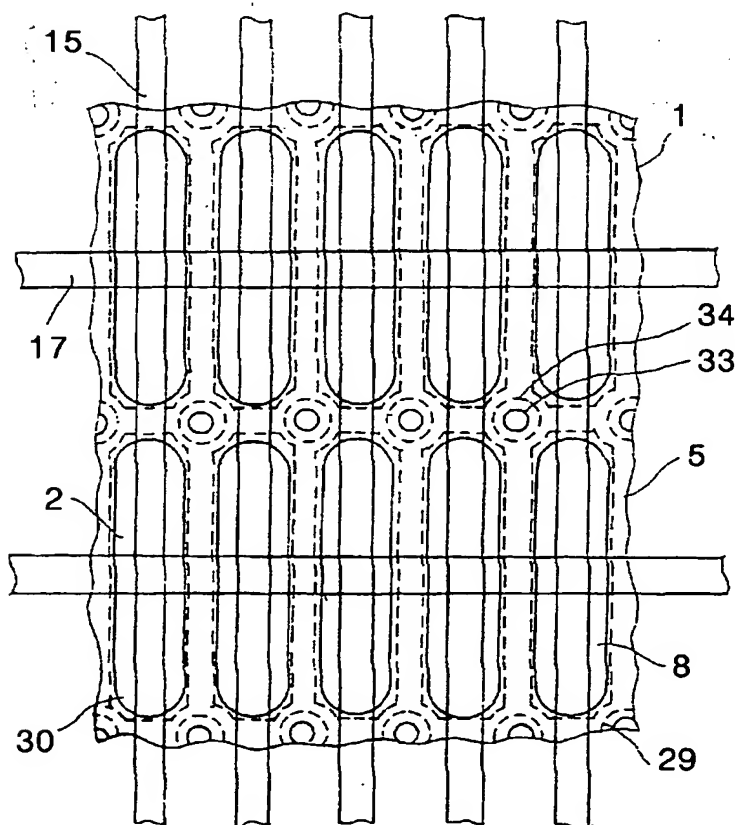
도면 17



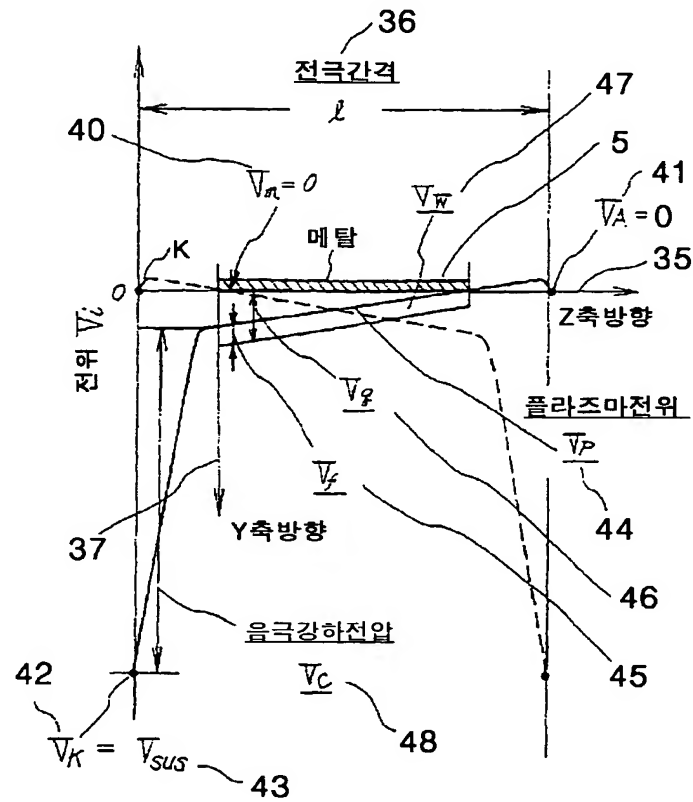
도면 18



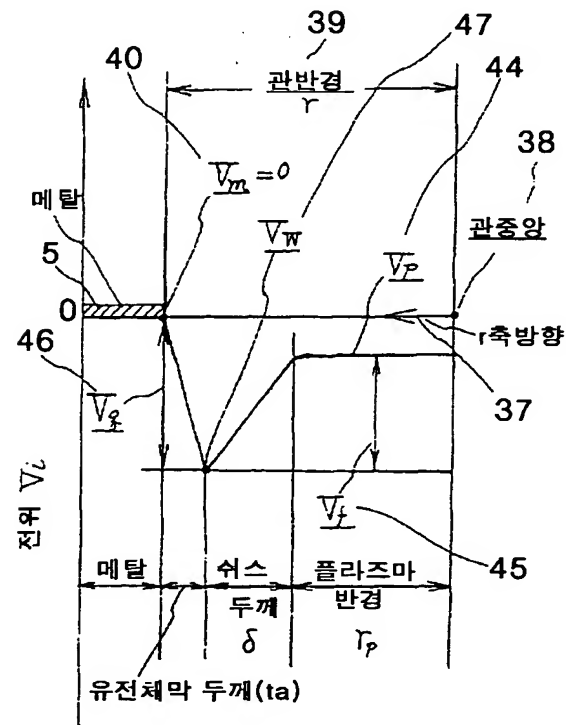
도면 19



도면 20



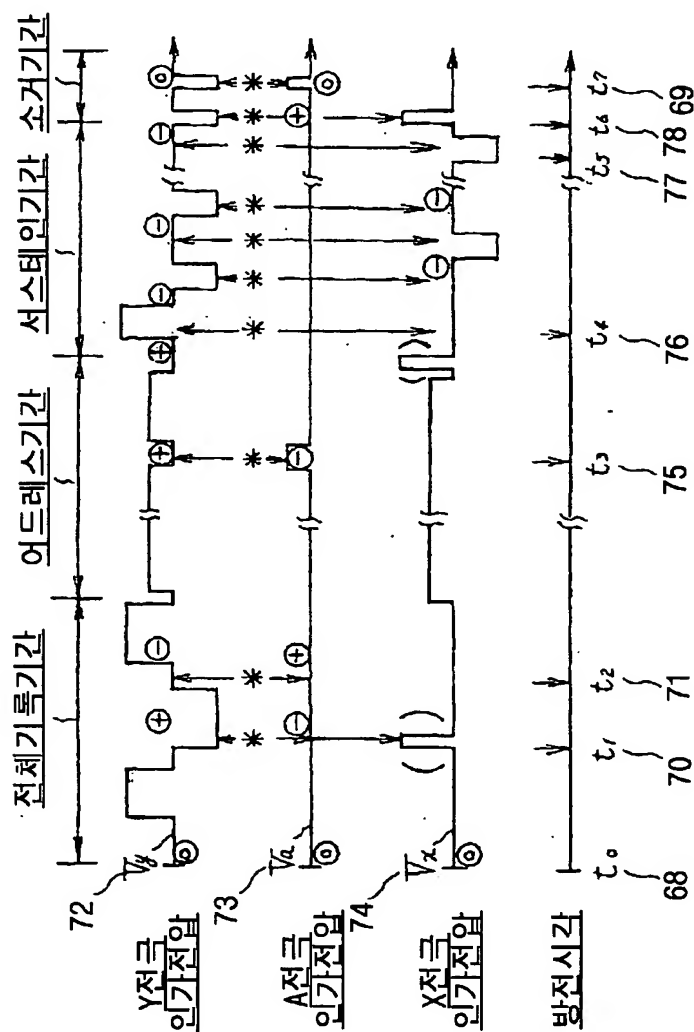
도면 21



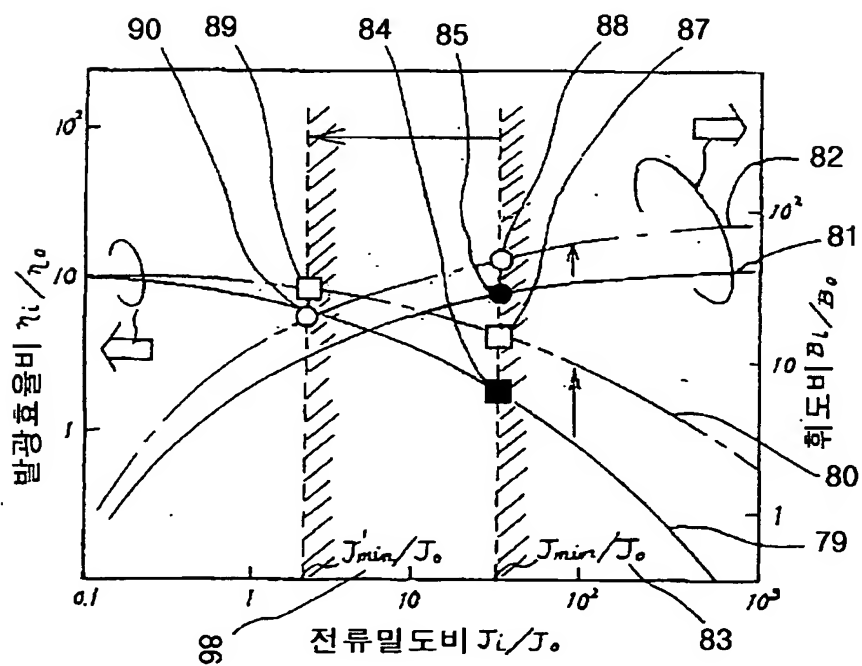




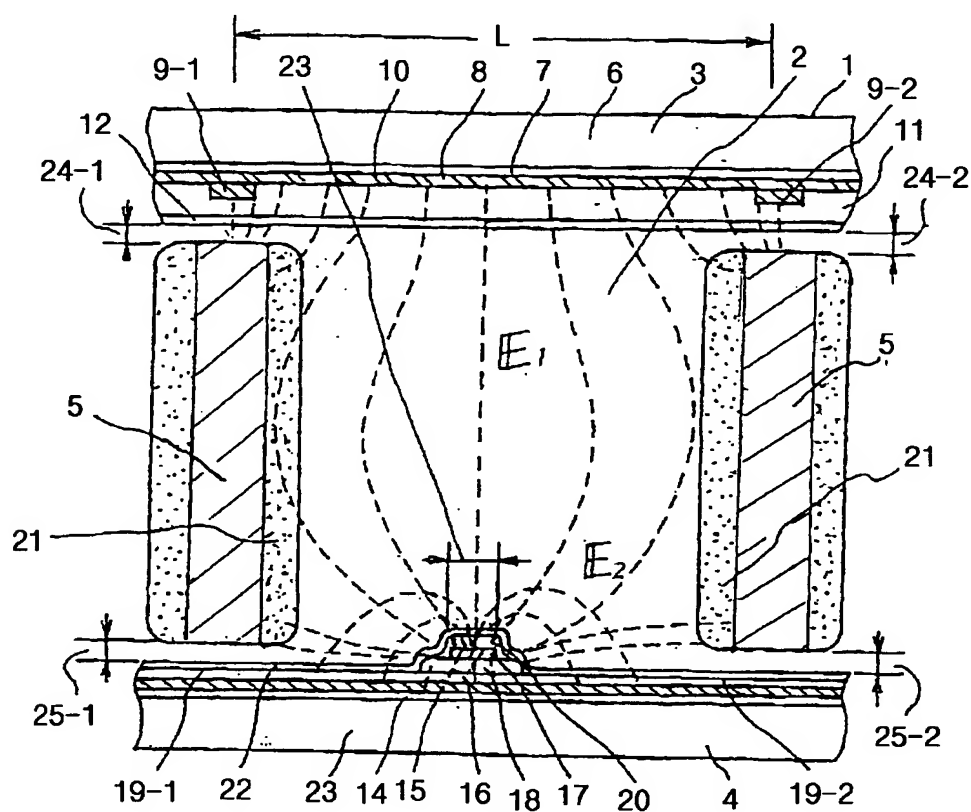
도면 24



도면 25



도면 26



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**